

UNIVERSITÀ DEGLI STUDI DI PADOVA
FACOLTÀ DI INGEGNERIA

Tesi di Laurea in
INGEGNERIA DELL'INFORMAZIONE

Analisi e simulazione di un amplificatore operazionale di transconduttanza folded-cascode

Relatore
Prof. Andrea Neviani

Candidato
Binglei Xu

Anno Accademico 2010/2011

Prefazione

L'obiettivo di questa tesi è progettare un amplificatore operazionale di transconduttanza (OTA) di tipo folded cascode con lo scopo di familiarizzare con i vari passi che compongono una progettazione di un circuito integrato analogico e con le difficoltà generalmente incontrate. Dopo aver esposto le formule fondamentali che caratterizzano questo circuito si cercherà di ottenere delle prestazioni che rispettino le specifiche assegnate: tensione di alimentazione, guadagno di tensione, prodotto guadagno per larghezza di banda, capacità di carico e massima potenza dissipata. Verranno spiegate in maniera esauriente tutte le decisioni prese durante la progettazione manuale del circuito che sarà poi disegnato e analizzato con Cadence. Verranno presentate anche le soluzioni scorrette, corredate di grafici e tabelle contenenti le regioni di funzionamento dei mosfet che compongono lo schema, cercando di evidenziare i problemi che impediscono il funzionamento desiderato del circuito e presentando una maniera per risolverli, fino a giungere ad una soluzione accettabile. Affinchè possa essere un esempio di progettazione completo sono presenti anche le immagini dello schematico e dei banchi di prova; i dati dei generatori di test usati saranno esplicitamente dichiarati laddove necessario. Infine è prevista una revisione del circuito per poter migliorare lo swing di uscita, figura di merito che viene in un primo tempo trascurata.

Indice

1	Analisi manuale dell'OTA folded cascode	7
1.1	Definizione di OTA	7
1.2	Configurazione a cascode	7
1.3	Amplificatore operazionale di transconduttanza di tipo folded cascode . . .	8
1.4	Specifiche di progetto e dimensionamento dei transistor	12
2	Analisi assistita al calcolatore: simulazioni e grafici	15
2.1	Calcolo delle correnti di polarizzazione e simulazione DC	15
2.2	Analisi ac	17
2.3	Tensione di offset	26
2.4	Slew Rate e larghezza di banda a piena potenza	26
3	Come migliorare il circuito	29
3.1	Lunghezza di canale e tensioni di overdrive	29
3.2	Definizione di swing del nodo di uscita	29
3.3	Swing di un amplificatore Folded Cascode	30
3.4	Modifiche al circuito	30
3.5	Verifica delle prestazioni	31
3.6	Confronto delle risposte a ingressi sinusoidali	33
3.7	Nuovo circuito con maggiore swing di uscita	33
4	Conclusioni	39
	Bibliografia e Sitografia	41

Capitolo 1

Analisi manuale dell'OTA folded cascode

1.1 Definizione di OTA

Gli OTA (Operational Transconductance Amplifier) sono degli amplificatori operazionali costruiti per pilotare esclusivamente carichi capacitivi. A differenza dei classici OPAMP (OPerational AMPlifier) non necessitano di un buffer di uscita per ottenere una bassa impedenza necessaria a pilotare carichi resistivi e risultano, in generale, più veloci e con swing del segnale di uscita maggiore. L'utilità degli OTA deriva dal fatto che i circuiti integrati in tecnologia CMOS usano molti amplificatori che pilotano solo dei nodi interni, che sono generalmente capacitivi. Usando gli OTA internamente e gli OPAMP solo per quelle parti di circuito che si affacciano al mondo esterno si ottengono migliori prestazioni del circuito integrato.

1.2 Configurazione a cascode

Per configurazione a cascode si intende uno stadio a source comune seguito da uno stadio a gate comune (fig.1.1.a). Al piccolo segnale

$$G_m = \left. \frac{i_o}{v_i} \right|_{v_0=0} = g_{m1} \left(1 - \frac{1}{1 + (g_{m2} + g_{mb2})r_{o1} + \frac{r_{o1}}{r_{o2}}} \right) \simeq g_{m1}$$

l'approssimazione è in generale valida perchè $(g_{m2} + g_{mb2})r_{o1} \gg 1$. Una struttura a cascode sostanzialmente non cambia la transconduttanza che uno stadio a source comune avrebbe da solo, ma ne aumenta la resistenza di uscita. Infatti se osserviamo il modello a piccolo segnale di figura 1.1.b, ponendo $V_i = 0$, abbiamo che

$$\begin{cases} i_{ds1} = i_o \\ i_g = (g_{m2} + g_{mb2})v_{ds1} \end{cases}$$

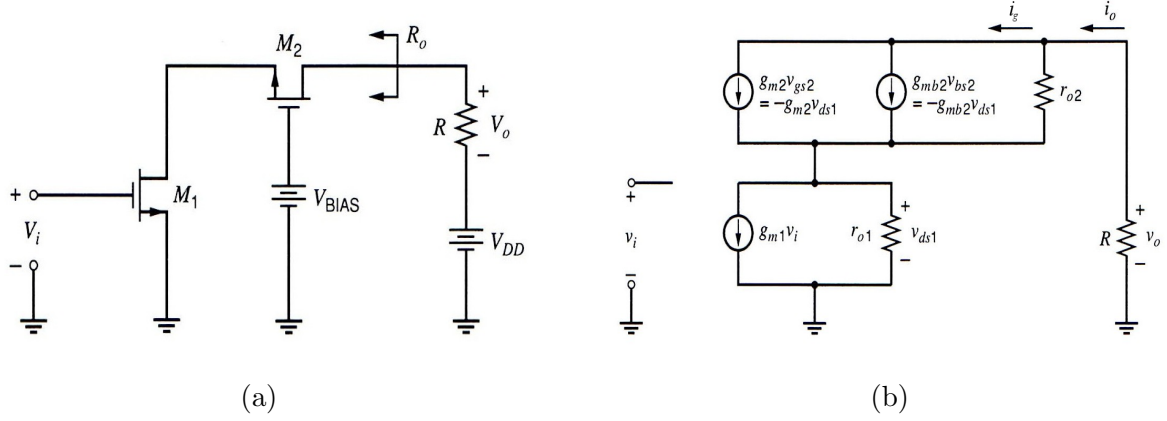


Figura 1.1: (a) schema a cascode (b) modello al piccolo segnale

e quindi

$$i_g = (g_{m2} + g_{mb2})r_{o1}i_o,$$

per la LKC al nodo di uscita

$$i_{o2} = i_g + i_o$$

e quindi

$$R_o = \frac{v_o}{i_o} = \frac{v_{ro2} + v_{ro1}}{i_o} = \frac{i_g r_{o2} + i_o r_{o2} + i_o r_{o1}}{i_o} = (g_{m2} + g_{mb2})r_{o1} + r_{o2} + r_{o1} \simeq (g_{m2} + g_{mb2})r_{o1}$$

Esiste la possibilità di aggiungere livelli di cascoding per aumentare ulteriormente la resistenza di uscita, tenendo presente però che questo comporta la serie di più transistor tra la tensione di alimentazione e massa. Ogni MOSFET per funzionare in saturazione ha bisogno di una tensione $V_{DS} > V_{OV}$ e quindi ogni livello di cascode toglie un po' di escursione al nodo di uscita. L'attuale ricerca di abbassare la tensione tipica di alimentazione dei circuiti integrati sfavorisce l'uso di più livelli di cascode. Inoltre bisogna considerare i cammini parassiti delle correnti di leakage presenti ad esempio nel substrato; questi percorsi hanno una resistenza equivalente in parallelo alla resistenza di uscita che è dell'ordine dei $G\Omega$. In generale non si utilizzano più di due o tre livelli di cascode.

1.3 Amplificatore operazionale di transconduttanza di tipo folded cascode

La configurazione a folded cascode (fig. 1.2) si ha quando il MOSFET a gate comune è di tipo opposto a quello di source comune. Sono entrambi cascode in quanto anche nel caso b una variazione di corrente nel drain di M_1 viene trasferita interamente in M_{1A} in quanto I_{BIAS} è costante. Il vantaggio di usare la versione folded in uno stadio differenziale

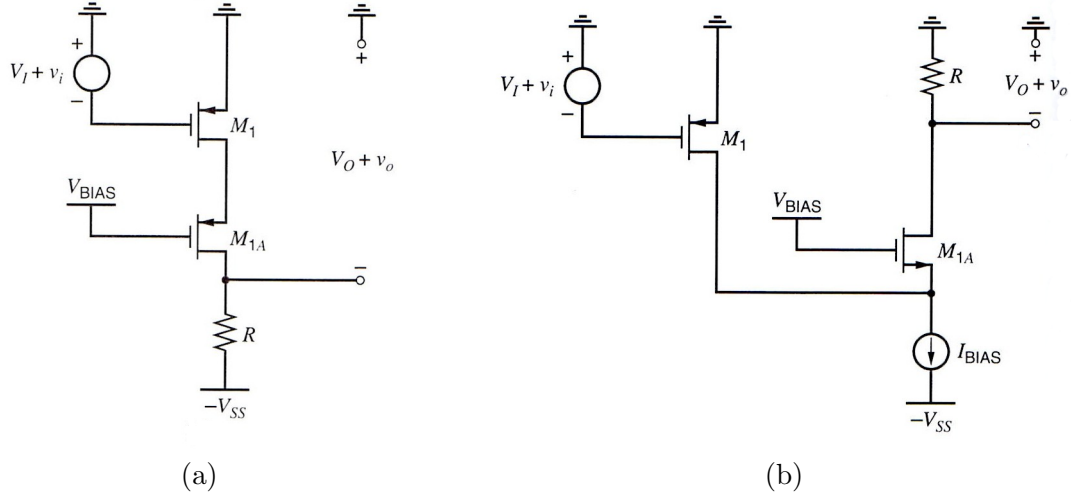


Figura 1.2: (a) schema a cascode standard (b) schema a folded cascode

è quello di aumentare lo swing di uscita e il CMRR.¹ Lo schematico di un OTA folded cascode è rappresentato in fig. 1.3, determiniamo ora le formule fondamentali del circuito. Il guadagno di tensione al piccolo segnale è

$$A_v = G_m R_0 \quad (1.1)$$

dove $G_m = g_{m1} = g_{m2}$ perchè sostanzialmente le correnti dello stadio di ingresso differenziale si sommano direttamente nel nodo di uscita.

Per calcolare la resistenza di uscita possiamo considerare i gate di M_1 e M_2 come se fossero connessi a una massa al piccolo segnale (Fig. 1.4.a). Per giustificare questa approssimazione consideriamo le correnti i_{d1} e i_{d2} e chiamiamo Δi_{d1} e Δi_{d2} la variazione che le correnti di drain subiscono a causa dell'approssimazione appena introdotta. Se $r_o \rightarrow \infty$ allora la nostra ipotesi implica $\Delta i_{d1} = \Delta i_{d2}$. Poichè Δi_{d1} viene specchiata nel nodo di uscita da M_3 e M_4 , per la LKC i contributi di Δi_{d1} e Δi_{d2} si cancellano, quindi è accettabile assumere che i gate di M_1 e M_2 siano connessi a massa. In realtà le r_o dei transistor sono finite quindi il rapporto dello specchio non è perfettamente unitario in quanto v_{ds3} differisce da v_{ds4} . L'errore però rimane trascurabile. Adesso possiamo ulteriormente semplificare connettendo il gate di M_4 ad una massa al piccolo segnale in quanto la resistenza vista dal gate è piccola essendo M_{3A} e M_{4A} connessi a diodo (Fig. 1.4.b). Allora possiamo dire che:

$$R_0 = (R_{out}|_{M2A}) || (R_{out}|_{M4A}) \quad (1.2)$$

dove

$$R_{out}|_{M2A} \approx g_{m2A}(r_{o2} || r_{o12})r_{o2A} \quad (1.3)$$

e

$$R_{out}|_{M4A} \approx g_{m4A}r_{o4}r_{o4A} \quad (1.4)$$

¹Questa figura di merito non viene trattata in questa tesina.

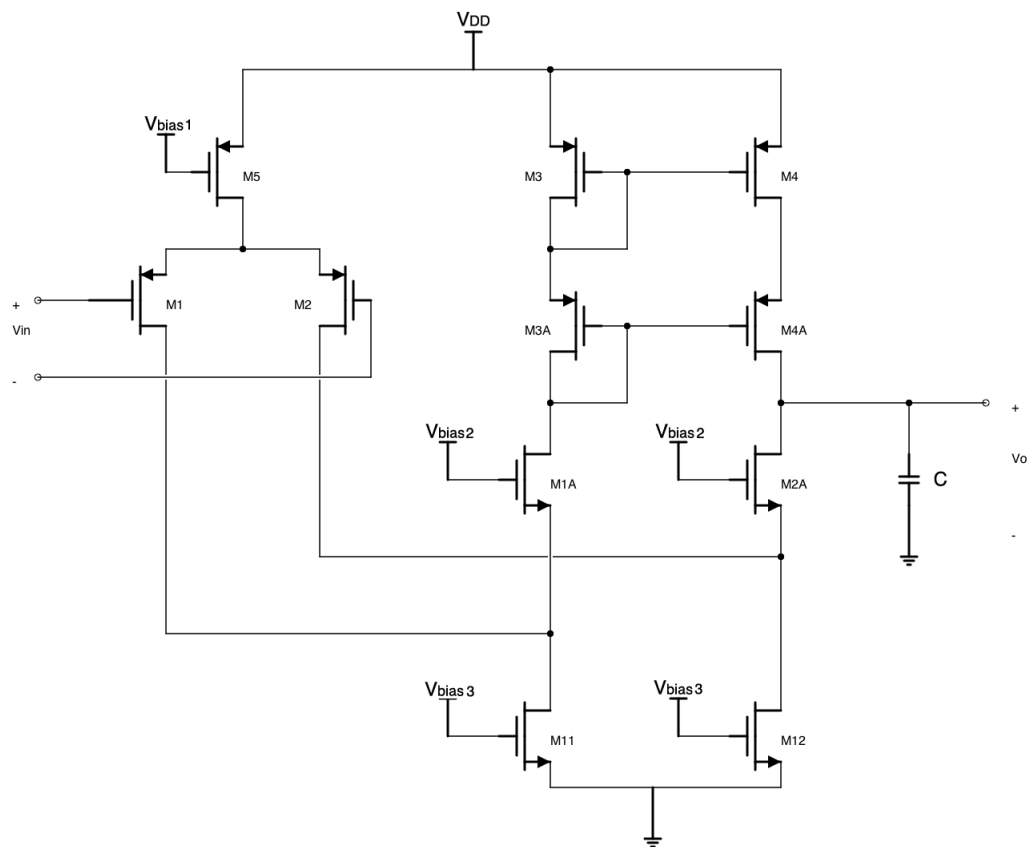


Figura 1.3: Schema dell'OTA

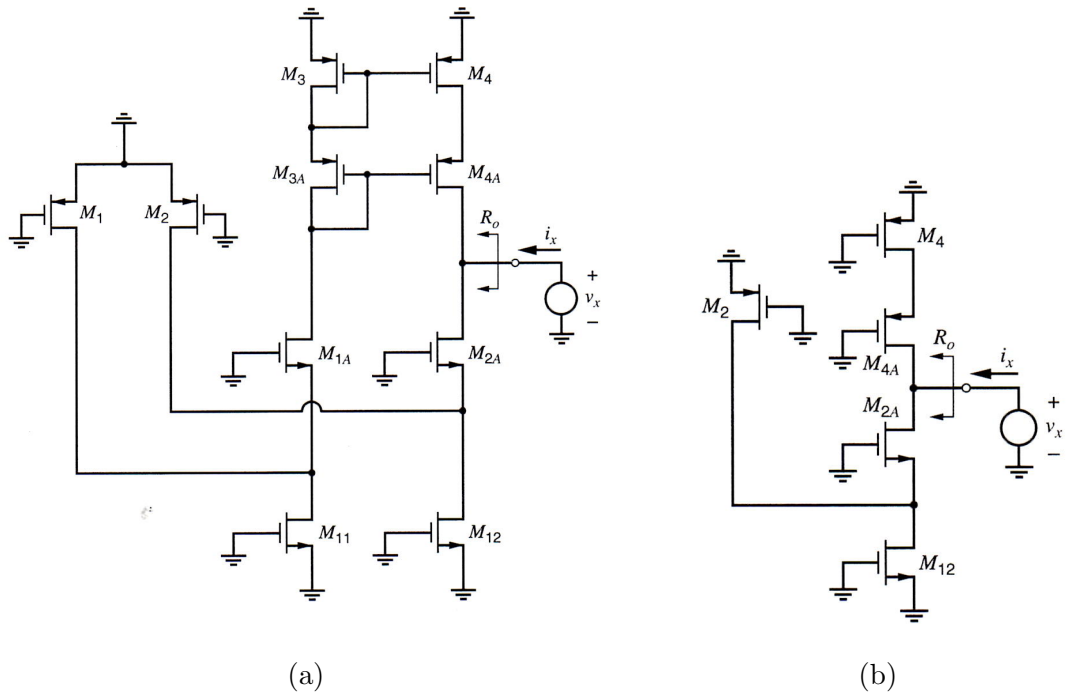


Figura 1.4: Approssimazioni del modello al piccolo segnale

1.4 Specifiche di progetto e dimensionamento dei transistor

Lo scopo di questa tesi è dimensionare un amplificatore folded cascode che rispetti le seguenti specifiche:

$V_{DD} = 3.3V$
$V_{SS} = 0V$
$A_{vo} > 60dB$
$GBW > 100MHz$
$C_L = 0.5 \text{ pF}$
Consumo statico di potenza $< 20mW$

Tabella 1.1: Specifiche di progetto

Si richiede inoltre di verificare la tensione di offset e la larghezza di banda a piena potenza. Il circuito viene costruito in tecnologia CMOS $0.35\mu m$ che presenta le seguenti caratteristiche di processo:

	nMOSFET	pMOSFET	
Parametro	Valore	Valore	Note
$V_{Tn(p)}$	0.5V	-0.6V	tensione di soglia
$k'_{n(p)}$	$175 \frac{\mu A}{V^2}$	$60 \frac{\mu A}{V^2}$	fattore di corrente ($k'_{n(p)} = \mu_{n(p)} C_{ox}$)
$\gamma_{n(p)}$	$0.58V^{1/2}$	$0.45V^{1/2}$	fattore dell'effetto body
$\eta_{n(p)}$	1.8×10^7	1.25×10^7	coefficiente della resistenza di uscita: $r_o = \frac{\eta_{n(p)} L}{I_D}$
C_{ox}	$4.6 \frac{fF}{\mu m^2}$	$4.6 \frac{fF}{\mu m^2}$	capacità specifica dell'ossido di gate
C_{gs0}	$0.21 \frac{fF}{\mu m}$	$0.21 \frac{fF}{\mu m}$	capacità specifica di sovrapposizione: $C_{gs,ov} = W C_{GS0}$
C_{gd0}	$0.21 \frac{fF}{\mu m}$	$0.21 \frac{fF}{\mu m}$	capacità specifica di sovrapposizione: $C_{gd,ov} = W C_{GD0}$
C_{j0}	$0.93 \frac{fF}{\mu m^2}$	$1.42 \frac{fF}{\mu m^2}$	capacità specifica di area dei diodi S/D
C_{jsw0}	$0.28 \frac{fF}{\mu m}$	$0.38 \frac{fF}{\mu m}$	capacità specifica di perimetro dei diodi S/D

Tabella 1.2: Caratteristiche del processo C35 CMOS $0.35\mu m$

Per cominciare con il dimensionamento possiamo iniziare dal prodotto guadagno per larghezza di banda. La formula è:

$$GBW = \frac{g_m}{2\pi C_f} \quad (1.5)$$

Poichè la capacità al nodo di uscita è influenzata dalle capacità parassite di M_{4A} e M_{2A} possiamo assumere inizialmente una capacità di carico di 1pF. Di conseguenza ci serve $g_{m1} = 0.62mS$. Il guadagno al piccolo segnale dei MOSFET M_1 , M_2 , M_{2A} , M_{4A} è utile averlo elevato perchè influisce sia sul guadagno complessivo sia sul GBW. Dato che:

$$g_m = \frac{2I_D}{V_{OV}} \quad (1.6)$$

possiamo fissare basse tensioni di overdrive in questi MOSFET, purchè sufficienti a tenerli in saturazione; un valore di 0.2V può andare bene e arbitrariamente 0.3V per i quattro pMOS dello specchio. I MOSFET M_{11} , M_{12} , M_5 sono quelli che servono a polarizzare il circuito, non ci interessa tanto il guadagno quanto la corrente che riescono a pilotare e, per evitare che siano troppo grandi, possiamo porre tensioni di overdrive pari a 0.9V. Il valore di L invece influisce su due fattori:

$$I_D = \frac{1}{2}k' \frac{W}{L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (1.7)$$

$$r_0 = \frac{\eta L}{I_D} \quad (1.8)$$

Aumentare L nello specchio avrebbe l'effetto di aumentare la resistenza di uscita, però non è consigliabile in quanto attraversato dal segnale di input; aumentare la lunghezza di canale aumenterebbe il rumore generato dall'amplificatore. Fissiamo quindi a $0.35\mu m$ la lunghezza di canale di tutti i MOSFET eccetto M_{11} , M_{12} , M_5 che fissiamo arbitrariamente a $0.7\mu m$.² In questo modo la r_o di M_{12} che compare nella formula 1.3 aumenta molto poichè dipende dal quadrato della lunghezza di canale. Invertendo la formula 1.6 possiamo ottenere $I_{D1} = 70\mu A$ fissando $g_{m1} = 0.7mS$ per quanto stabilito in precedenza. Di conseguenza $I_{D5} = 140\mu A$. Per scegliere la corrente che scorre nello specchio dobbiamo tenere presente che deve essere più bassa di quella che alimenta lo stadio differenziale; per esempio potrebbe essere $I_{D2A} = 30\mu A$. Infine la corrente che scorre in M_{12} è pari a $I_{D2} + I_{D2A} = 100\mu A$. Con queste scelte troviamo il dimensionamento rappresentato in tabella 1.3.

	I_d	L	V_{ov}	W	g_m
M1 pmos	$70\mu A$	$0.35\mu m$	0.2 V	$20.41\mu m$	$700\mu S$
M2 pmos	$70\mu A$	$0.35\mu m$	0.2 V	$20.41\mu m$	$700\mu S$
M11 nmos	$100\mu A$	$0.7\mu m$	0.9 V	$0.98\mu m$	$222.22\mu S$
M12 nmos	$100\mu A$	$0.7\mu m$	0.9 V	$0.98\mu m$	$222.22\mu S$
M1A nmos	$30\mu A$	$0.35\mu m$	0.2 V	$3\mu m$	$300\mu S$
M2A nmos	$30\mu A$	$0.35\mu m$	0.2 V	$3\mu m$	$300\mu S$
M3A pmos	$30\mu A$	$0.35\mu m$	0.3 V	$3.88\mu m$	$200\mu S$
M4A pmos	$30\mu A$	$0.35\mu m$	0.3 V	$3.88\mu m$	$200\mu S$
M3 pmos	$30\mu A$	$0.35\mu m$	0.3 V	$3.88\mu m$	$200\mu S$
M4 pmos	$30\mu A$	$0.35\mu m$	0.3 V	$3.88\mu m$	$200\mu S$
M5 pmos	$140\mu A$	$0.7\mu m$	0.9 V	$4.03\mu m$	$311.11\mu S$

Tabella 1.3: Primo tentativo di dimensionamento per via manuale

Utilizzando la formula 1.2 troviamo $R_o = 2.29M\Omega$ e quindi un guadagno pari a 64.1dB.

²Gli effetti collaterali di questa scelta verranno discussi nel capitolo 4.

Per calcolare il consumo statico di potenza possiamo usare:

$$P_{stat} = (I_{D11} + I_{D12})V_{DD} \quad (1.9)$$

Ora dobbiamo verificare il GBW poichè eravamo partiti ipotizzando una capacità complessiva di 1pF. Le capacità parassite al nodo di uscita sono le capacità di drain dei MOSFET M_{2A} e M_{4A} e si calcolano nel modo seguente:

$$C_p = C_{gd,ov} + C_{diff}$$

con

$$C_{gd,ov} = WC_{gd0}$$

e

$$C_{diff} = C_{j0}WL + C_{jsw0}(2L + W)$$

come risultato troviamo $C_{M2A} = 2.83fF$ e $C_{M4A} = 4.49fF$, molto più piccole di quanto preventivato e quindi il circuito risulta sovradimensionato. Il prodotto guadagno per larghezza di banda raggiunge i 219.71MHz. A questo punto possiamo provare ad abbassare un po' le correnti del circuito che come vantaggio ha anche quello di ridurre il consumo statico di potenza, e aumentare un po' le tensioni di overdrive³ in modo che il GBW sia più vicino ai 100MHz richiesti. Il risultato è mostrato in tabella 1.4.

In definitiva secondo i calcoli manuali il circuito ha:

- $A_v = 61.05dB$
- $GBW = 105.1MHz$
- $P_{stat} = 462\mu W$

	I_d	L	V_{ov}	W	g_m
M1 e M2	$50\mu A$	$0.35\mu m$	0.3V	$6.48\mu m$	$333.33\mu S$
M11 e M12	$70\mu A$	$0.7\mu m$	0.9V	$0.69\mu m$	$155.55\mu S$
M1A e M2A	$20\mu A$	$0.35\mu m$	0.2V	$2\mu m$	$200\mu S$
M3A e M4A	$20\mu A$	$0.35\mu m$	0.3V	$2.59\mu m$	$133.33\mu S$
M3 e M4	$20\mu A$	$0.35\mu m$	0.3V	$2.59\mu m$	$133.33\mu S$
M5	$100\mu A$	$0.7\mu m$	0.9V	$2.88\mu m$	$222.22\mu S$

Tabella 1.4: Risultato del dimensionamento per via manuale

³Per maggiori dettagli sulle conseguenze vedere capitolo 4.

Capitolo 2

Analisi assistita al calcolatore: simulazioni e grafici

Seguendo il tutorial del laboratorio [5] non risulta particolarmente complicato disegnare il circuito. Un esempio di come appare lo schematico lo si può vedere in fig. 2.1¹.

2.1 Calcolo delle correnti di polarizzazione e simulazione DC

Cominciamo a polarizzare correttamente il circuito per ottenere le tensioni di overdrive che abbiamo previsto nei calcoli manuali e per verificare che tutti i MOSFET siano in regione di saturazione. Per prima cosa fissiamo V_{BIAS1} e V_{BIAS3} che sono le più semplici essendo il source di M_{P3} collegato a V_{DD} e quelli di M_{N0} e M_{N1} a massa:

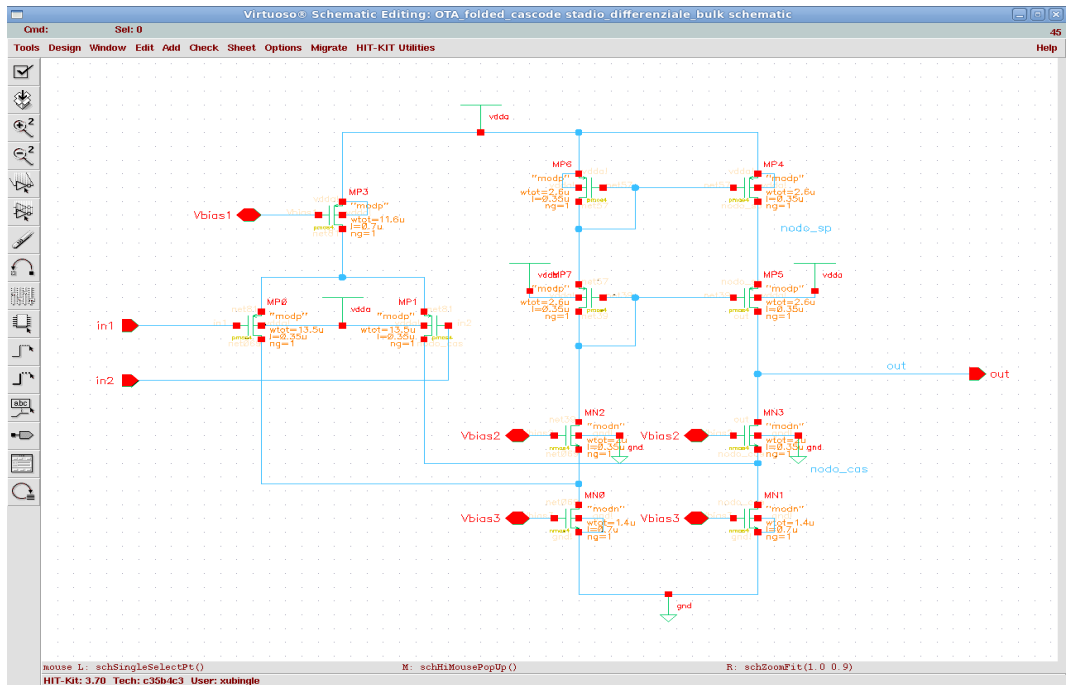
$$V_{OV} = V_{GS} - V_{th} \Rightarrow V_{BIAS1} = V_{OV} + V_{DD} + V_{th} = 1.7V$$

analogamente

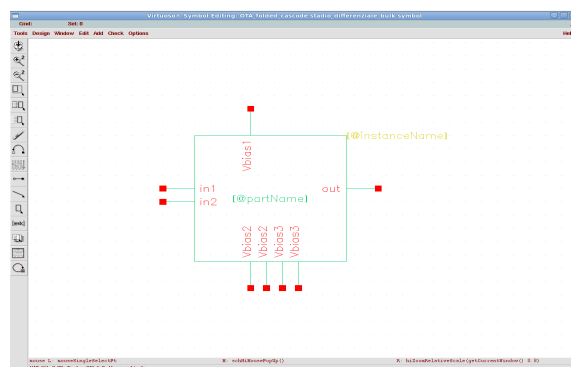
$$V_{BIAS3} = V_{OV} + V_{th} = 1.4V$$

Per le tensioni di polarizzazione V_{BIAS2} e dell'ingresso differenziale invece, è meglio avvalersi della simulazione per trovare il valore corretto perchè i source dei MOSFET che rimangono da polarizzare sono collegati a dei drain. Analizzando per tentativi i punti operativi dei vari MOSFET al variare delle tensioni, otteniamo che i valori migliori sono $V_{BIAS2}=1.9V$ e $V_{IN} = 2V$.

¹In questo capitolo i MOSFET saranno nominati con le sigle utilizzate in questa figura.



(a)



(b)

Figura 2.1: (a) Schematico del circuito disegnato in Opus (b) Vista symbol dello schematico

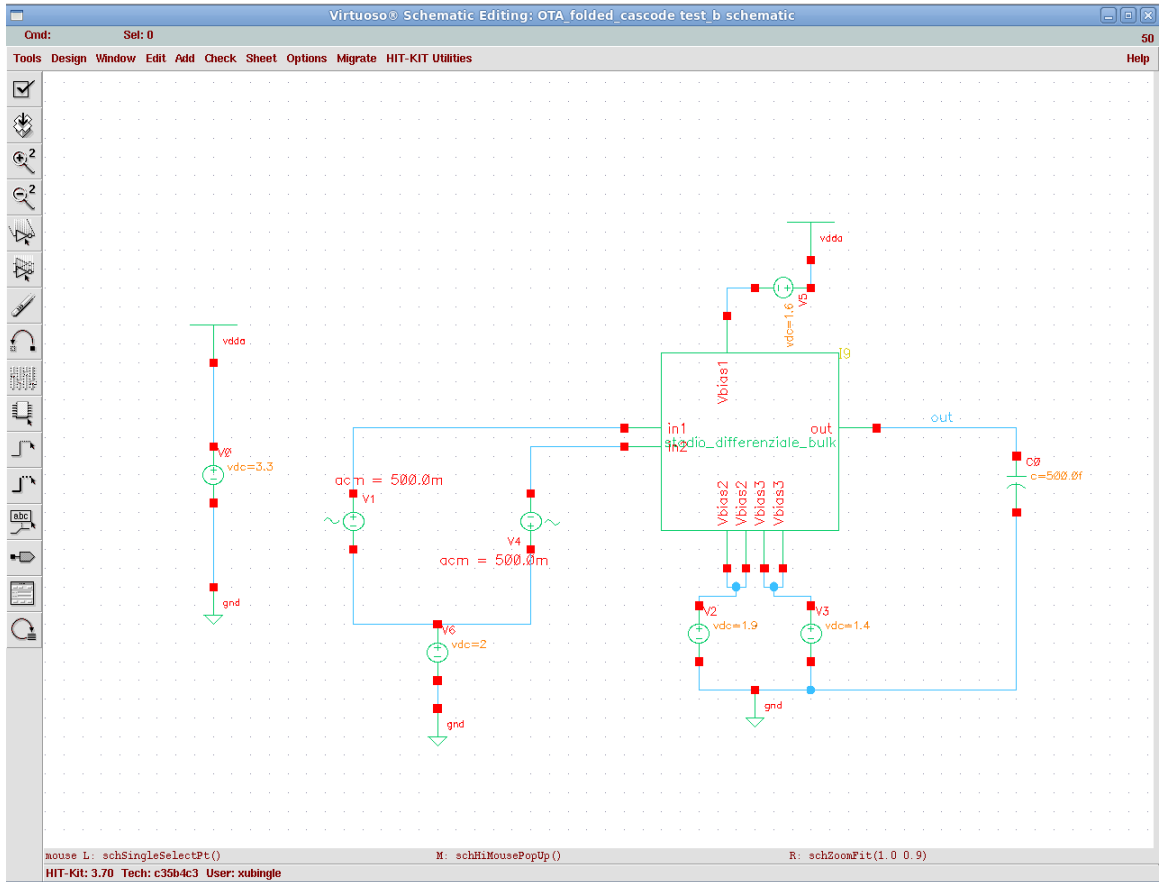


Figura 2.2: Banco di prova per l'analisi ac

2.2 Analisi ac

Specifichiamo innanzitutto come eseguire il test di un input differenziale. Essendo per definizione $A_v = \frac{V_{out}}{V_{in}}$, la cosa più semplice è impostare a 1V la componente ac di ingresso in modo che l'output indichi in maniera diretta il guadagno di tensione. Più precisamente si mettono due generatori sinusoidali di tensione da 0.5V all'input1 e 0.5 all'input2 con i morsetti invertiti (morsetto positivo all'input 1 e morsetto negativo all'input 2), si crea un nodo di collegamento tra i terminali liberi dei generatori e si inserisce un generatore ideale di tensione dc con la corrente di polarizzazione calcolata precedentemente. In questo modo la variazione di un volt si ripartisce in maniera simmetrica e opposta nei terminali dello stadio differenziale (fig. 2.2).

Siamo pronti a simulare il circuito con le dimensioni trovate con i calcoli manuali usando Analog Artist e aiutandoci col tutorial [5] per imparare ad impostare correttamente la finestra di simulazione. Purtroppo il diagramma di bode che otteniamo è lontano dai requisiti richiesti (fig. 2.3).

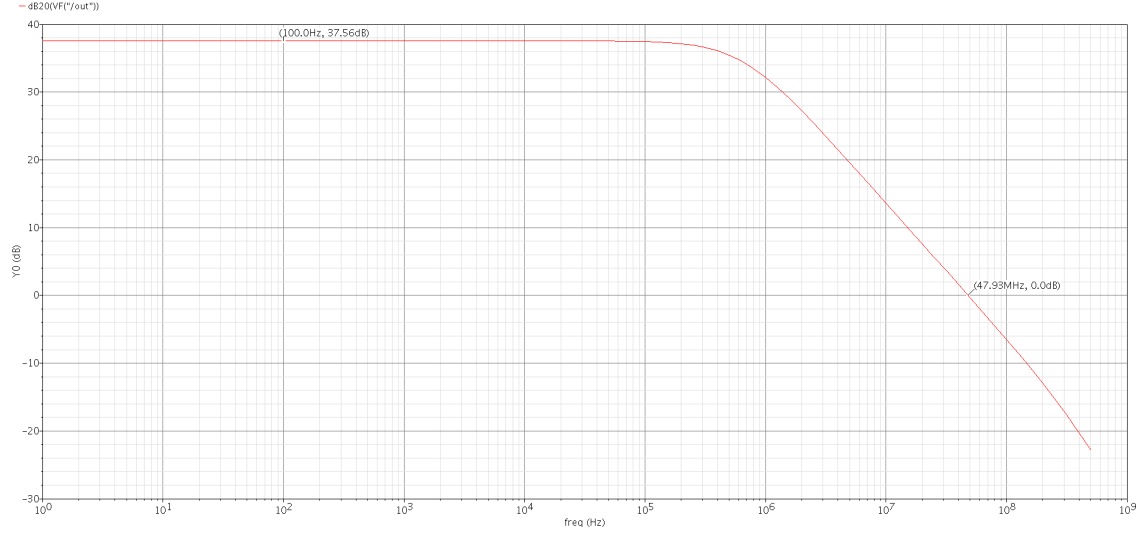


Figura 2.3: Verifica dei calcoli manuali. Il guadagno è pari a 37.56dB e il GBW è di 47.93MHz.

	W	I_d	g_m	V_{gs}	V_t	V_{ds}
Mp3 - M5	$2.9 \mu m$	37.52 μA	49.75 μS	-1.6 V	-0.749 V	-0.349 V
Mp1 - M1	$6.5 \mu m$	18.76 μA	165.1 μS	-0.95 V	-0.753 V	-2.033 V
Mn1 - M11	$0.7 \mu m$	35.14 μA	67.95 μS	1.4 V	0.515 V	0.917 V
Mn3 - M2A	$2 \mu m$	16.38 μA	100.8 μS	0.982 V	0.748 V	0.159 V
Mp5 - M4A	$2.6 \mu m$	16.38 μA	90.04 μS	-1.195 V	-0.874 V	-1.195 V
Mp4 - M4	$2.6 \mu m$	16.92 μA	88.83 μS	-1.028 V	-0.702 V	-1.028 V

Tabella 2.1: Punti operativi del circuito corrispondenti al dimensionamento ottenuto dai calcoli manuali. In rosso sono evidenziati i valori problematici che devono essere corretti.

Per capire cosa è successo possiamo controllare le correnti che scorrono nei vari MOSFET: per esempio nei MOSFET $M_{P3}, M_{P1}, M_{P2}, M_{N0}, M_{N1}$ la corrente è meno della metà di quella che avevamo previsto con i calcoli manuali. Il motivo è che il parametro k' usato per i calcoli manuali non è una buona approssimazione per la regione di saturazione dei MOSFET. Per prima cosa possiamo raddoppiare il parametro W di M_{P3} che è il MOSFET che alimenta lo stadio differenziale e abbiamo come conseguenza che il guadagno raggiunge i 61.65dB ma il GBW non è sufficiente (fig. 2.4.a).

Dobbiamo aumentare g_{m1} e per fare ciò raddoppiamo la W di M_{P0} e M_{P1} (fig. 2.4.b) ma c'è un problema: i transistor M_{N0} e M_{N1} riescono a pilotare una corrente inferiore a quella che potrebbe scorrere nell'ingresso differenziale; la conseguenza è che la corrente di polarizzazione va tutta a massa attraverso M_{N0} e M_{N1} , quindi i due MOSFET cascode e lo specchio sono spenti.

Siamo costretti ad aumentare anche la larghezza di M_{N0} e M_{N1} ; proviamo a raddoppiarla affinché riescano a drenare la corrente dello stadio differenziale in modo che:

- la corrente dc che alimenta lo specchio sia inferiore rispetto a quella dello stadio differenziale
- la corrente dc dello specchio non sia nulla come nel caso precedente

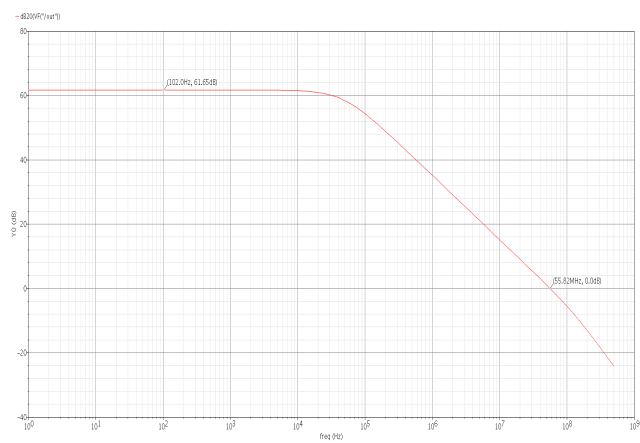
Si può vedere il risultato di questa operazione in figura 2.4.c.

Sembra di essere tornati al punto di partenza, siamo ancora lontano dalle specifiche, la differenza però è che adesso i transistor di ingresso riescono a pilotare una corrente maggiore e hanno quindi un guadagno al piccolo segnale maggiore. Se analizziamo i dati però ci accorgiamo che la corrente che scorre nei MOSFET M_{P0} e M_{P1} è paragonabile a quella che scorre nello specchio mentre come già spiegato in precedenza la corrente dello specchio deve essere molto inferiore. Inoltre M_{N3} non è in saturazione.

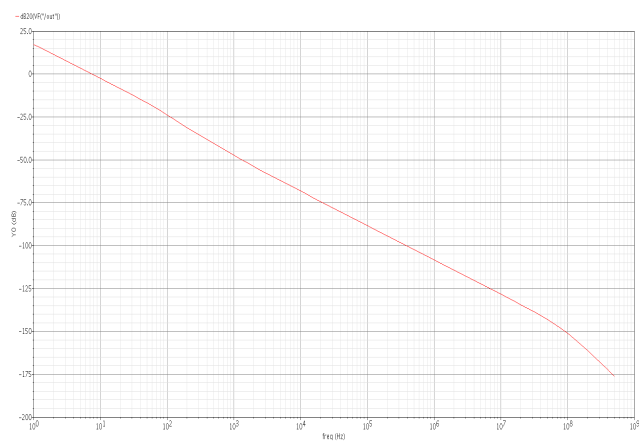
Spesso evidenzieremo come errore il fatto che i MOSFET non siano in saturazione. Questo perchè nella regione lineare il guadagno non è costante e il segnale di ingresso non viene amplificato correttamente. Tuttavia per i MOSFET di polarizzazione ovvero M_{P3}, M_{N0} e M_{N1} si può accettare il funzionamento nella zona a triodo in quanto non sono attraversati dal segnale, i loro parametri sono costanti a prescindere dalla zona di funzionamento.

La soluzione può essere quella di aumentare ulteriormente la corrente di M_{P3} raddoppiandone le dimensioni, in questo modo la corrente in M_{N0} e M_{N1} rimane pressochè uguale, quindi diminuisce la corrente che attraversa lo specchio. Il risultato è $A_v = 59.97dB$ e $GBW = 107.8MHz$ (fig. 2.4.d).

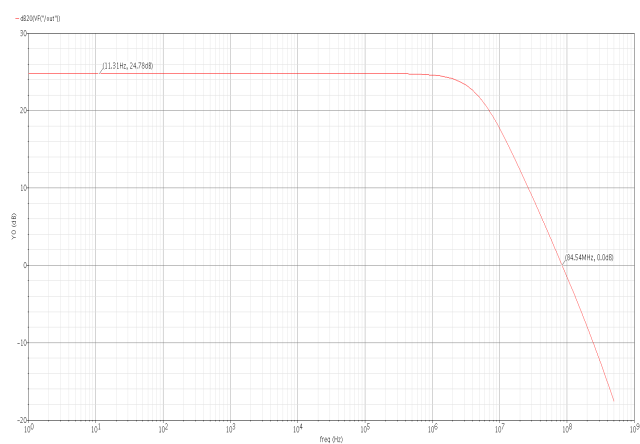
Siamo vicini alla soluzione, basta aumentare le dimensioni di M_{P0} e M_{P1} di $0.5\mu m$ per ottenere un circuito che risponde alle specifiche richieste (fig. 2.6 a fine paragrafo).



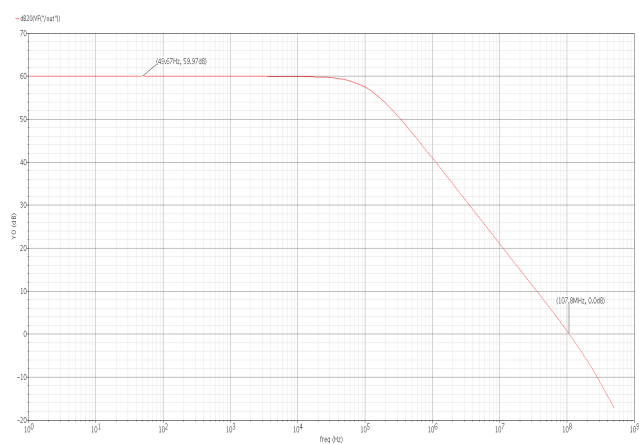
(a)



(b)



(c)



(d)

Figura 2.4: Diagrammi di bode dell'ampiezza della tensione di uscita.

(a) $A_v = 61.65\text{dB}$ e $\text{GBW} = 55.82\text{MHz}$

(b) —

(c) $A_v = 24.78\text{dB}$ e $\text{GBW} = 84.54\text{MHz}$

(d) $A_v = 59.97\text{dB}$ e $\text{GBW} = 107.8\text{MHz}$

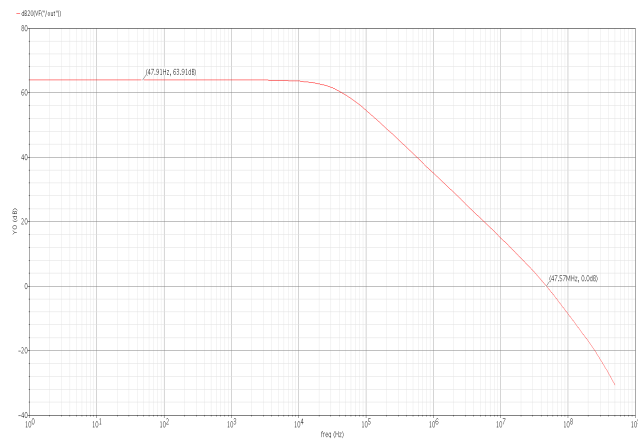
Mp3 - M5	figura 2.4.a	figura 2.4.b	figura 2.4.c	figura 2.4.d
W	5.8 μm	5.8 μm	5.8 μm	11.6 μm
I_d	65.7 μA	72.35 μA	77.37 μA	133.6 μA
g_m	81.5 μS	92.74 μS	101.9 μS	164.4 μS
V_{gs}	-1.6 V	-1.6 V	-1.6 V	-1.6 V
V_t	-0.743 V	-0.743 V	-0.743 V	-0.738 V
V_{ds}	-0.285 V	-0.323 V	-0.354 V	-0.285 V
Mp1 - M1				
W	6.5 μm	13 μm	13 μm	13 μm
I_d	32.85 μA	36.17 μA	38.69 μA	66.8 μA
g_m	214.6 μS	308.8 μS	339.1 μS	434.8 μS
V_{gs}	-1.015 V	-0.976 V	-0.945 V	-1.014 V
V_t	-743.7 V	-0.774 V	-0.747 V	-0.741 V
V_{ds}	-1.943 V	-0.917 V	-2.269 V	-1.989 V
Mn1 - M11				
W	0.7 μm	0.7 μm	1.4 μm	1.4 μm
I_d	35.41 μA	36.17 μA	70.35 μA	72.51 μA
g_m	68.89 μS	70.72 μS	134.6 μS	143.9 μS
V_{gs}	1.4 V	1.4 V	1.4 V	1.4 V
V_t	0.515 V	0.515 V	0.532 V	0.532 V
V_{ds}	1.072 V	2.059 V	676.3 V	1.026 V
Mn3 - M2A				
W	2 μm	2 μm	2 μm	2 μm
I_d	2.559 μA	0 μA	31.66 μA	5.71 μA
g_m	44.55 μS	0 μS	62.79 μS	75.48 μS
V_{gs}	0.827 V	-0.159 V	1.224 V	0.874 V
V_t	0.772 V	0.917 V	0.7 V	0.765 V
V_{ds}	0.455 V	0.782 V	0.101 V	0.353 V
Mp5 - M4A				
W	2.6 μm	2.6 μm	2.6 μm	2.6 μm
I_d	2.559 μA	0 μA	31.66 μA	5.71 μA
g_m	33.96 μS	0 μS	119.2 μS	54.44 μS
V_{gs}	-0.956 V	-0.251 V	-1.353 V	-1.035 V
V_t	-0.85 V	-0.764 V	-0.889 V	-0.858 V
V_{ds}	-0.956 V	-0.251 V	-1.353 V	-1.035 V
Mp4 - M4				
W	2.6 μm	2.6 μm	2.6 μm	2.6 μm
I_d	2.559 μA	0 μA	31.66 μA	5.71 μA
g_m	33.67 μS	0 μS	117.3 μS	53.92 μS
V_{gs}	-0.816 V	-0.207 V	-1.177 V	-0.885 V
V_t	-0.707 V	-0.722 V	-0.698 V	-0.705 V
V_{ds}	-0.816 V	-0.207 V	-1.177 V	-0.885 V

Tabella 2.2: Punti operativi del circuito corrispondenti ai grafici di figura 2.4. In rosso sono evidenziati i parametri da correggere.

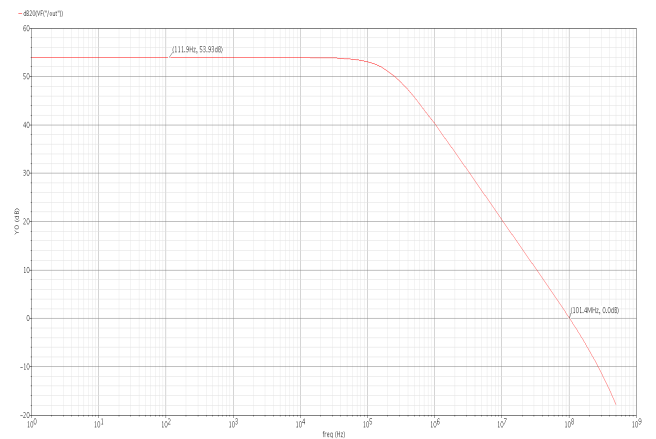
Prima di procedere possiamo cercare di ottimizzare un po' il circuito cercando di diminuire le larghezze dei MOSFET se possibile. Proviamo a rimpicciolire leggermente M_{N0} e M_{N1} per vedere se possiamo risparmiare un po' di area (fig. 2.5.a), il risultato è negativo. La corrente di questi MOSFET si abbassa troppo e non riescono più a polarizzare lo specchio. Questo provoca il malfunzionamento del circuito.

Possiamo allora provare a lavorare sull'unica parte di circuito che è rimasta invariata dai calcoli manuali: i MOSFET M_{N2} , M_{N3} , M_{P4} , M_{P5} , M_{P6} e M_{P7} ; diminuendone le dimensioni dovrebbe aumentare R_{out} e dunque anche il guadagno. In fig. 2.5.b abbiamo dimezzato tutti i MOSFET appena citati ma il risultato non corrisponde alle attese: in effetti bisogna fare attenzione, in questo modo abbiamo aumentato le resistenze di uscita dei singoli transistor, ma nella formula della R_{out} (1.2) compare anche il guadagno ai piccoli segnali dei transistor M_{N3} e M_{P5} che cala al diminuire della corrente; in questo esempio è proprio quest'ultimo a prevalere. A prima vista invece ci si potrebbe aspettare che minimizzare le resistenze sia il fattore determinante dato che nelle formule 1.3 e 1.4 compare il prodotto di due r_o e un solo g_m ; ma nel caso analizzato non è così.

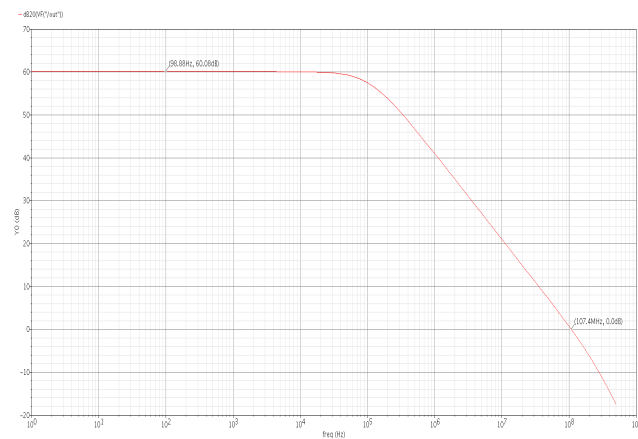
Se proviamo a inserire dei valori intermedi per le larghezze dei MOSFET, ad esempio $M_{N2} = M_{N3} = 1.7\mu m$, $M_{P4} = M_{P5} = M_{P6} = M_{P7} = 2.3\mu m$ (Fig. 2.5.c) troviamo un circuito che risponde ancora alle specifiche con $A_v = 60.08dB$ e $GBW = 107.4MHz$. Quest'ultima opzione consente un piccolo risparmio di area utilizzata, parametro rilevante per i circuiti integrati, ma il margine dal limite di guadagno di tensione è piuttosto piccolo; non avendo particolari vincoli sulle dimensioni dei transistor scegliamo la soluzione precedente. Le dimensioni finali dei MOSFET del circuito sono riportate in tabella 2.4. Ora possiamo calcolare la potenza statica dissipata usando la formula 1.9, ottenendo $P_{stat} = 478.9\mu W$ e dai diagrammi di bode di fig.2.6 possiamo trovare il margine di fase che è 73.7° .



(a)



(b)



(c)

Figura 2.5: Prove per migliorare il circuito. I risultati ottenuti sono:

- (a) $A_v = 63.91dB$ e $GBW = 47.57MHz$
- (b) $A_v = 53.93dB$ e $GBW = 101.4MHz$
- (c) $A_v = 60.08dB$ e $GBW = 107.4MHz$

Mp3 - M5	Soluzione corretta	figura 2.5.a	figura 2.5.b	figura 2.5.c
W	11.6 μm	11.6 μm	11.6 μm	11.6 μm
I_d	134.9 μA	134 μA	135.2 μA	134.9 μA
g_m	166.5 μS	165 μS	166.9 μS	166.5 μS
V_{gs}	-1.6 V	-1.6 V	-1.6 V	-1.6 V
V_t	-0.738 V	-0.738 V	-0.738 V	-0.738 V
V_{ds}	-0.289 V	-0.287 V	-0.29 V	-0.289 V
Mp1 - M1				
W	13.5 μm	13.5 μm	13.5 μm	13.5 μm
I_d	67.43 μA	66.9 μA	67.58 μA	67.46 μA
g_m	445.7 μS	442.4 μS	446.9 μS	446 μS
V_{gs}	-1.011 V	-1.013 V	-1.01 V	-1.01 V
V_t	-0.742 V	-0.744 V	-0.741 V	-0.741 V
V_{ds}	-1.978 V	-1.866 V	-2.017 V	-1.985 V
Mn1 - M11				
W	1.4 μm	1.3 μm	1.4 μm	1.4 μm
I_d	72.53 μA	67.44 μA	72.4 μA	72.51 μA
g_m	143.9 μS	133.9 μS	143.5 μS	143.8 μS
V_{gs}	1.4 V	1.4 V	1.4 V	1.4 V
V_t	0.532 V	0.53 V	0.53 V	0.532 V
V_{ds}	1.033 V	1.147 V	0.992 V	1.025 V
Mn3 - M2A				
W	2 μm	2 μm	1 μm	1.7 μm
I_d	5.104 μA	0.445 μA	4.817 μA	5.05 μA
g_m	70.58 μS	10.58 μS	48.18 μS	65.45 μS
V_{gs}	0.867 V	0.753 V	0.907 V	0.874 V
V_t	0.766 V	0.784 V	0.747 V	0.762 V
V_{ds}	0.37 V	0.599 V	0.239 V	0.354 V
Mp5 - M4A				
W	2.6 μm	2.6 μm	1.3 μm	2.3 μm
I_d	5.104 μA	0.445 μA	4.817 μA	5.05 μA
g_m	51.24 μS	8.97 μS	34.91 μS	48.07 μS
V_{gs}	-1.022 V	-0.84 V	-1.113 V	-1.035 V
V_t	-0.857 V	-0.837 V	-0.871 V	-0.858 V
V_{ds}	-1.022 V	-0.84 V	-1.113 V	-1.035 V
Mp4 - M4				
W	2.6 μm	2.6 μm	1.3 μm	2.3 μm
I_d	5.104 μA	0.445 μA	4.817 μA	5.05 μA
g_m	50.76 μS	8.88 μS	34.46 μS	47.6 μS
V_{gs}	-0.874 V	0.713 V	-0.953 V	-0.885 V
V_t	-0.705 V	0.709 V	-0.707 V	-0.705 V
V_{ds}	-0.874 V	0.713 V	-0.953 V	-0.885 V

Tabella 2.3: Punti operativi del circuito corrispondenti ai grafici di figura 2.5

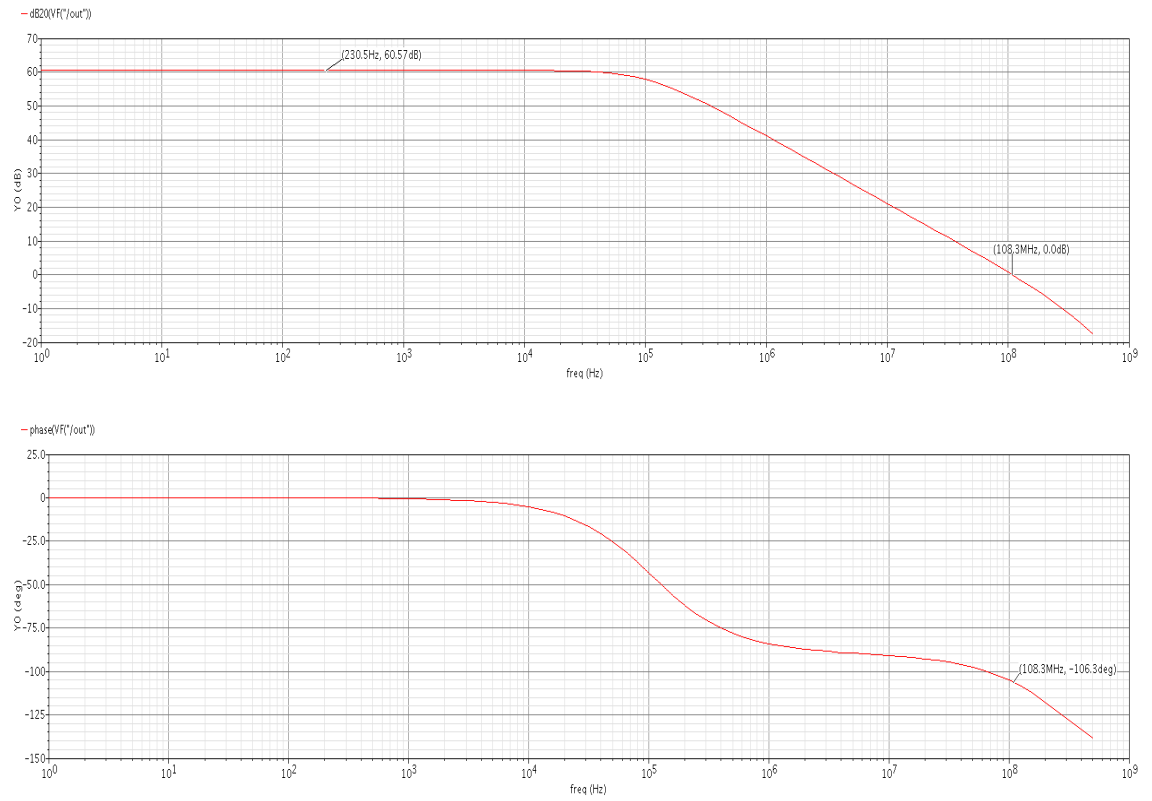


Figura 2.6: Diagrammi di Bode della soluzione. $A_v = 60.57dB$, $GBW = 108.3MHz$ e $m_\phi = 73.7^\circ$

	W	L
M_{P3}	$11.6\mu m$	$0.7\mu m$
M_{P0} e M_{P1}	$13.5\mu m$	$0.35\mu m$
M_{N0} e M_{N1}	$1.4\mu m$	$0.7\mu m$
M_{N2} e M_{N3}	$2\mu m$	$0.35\mu m$
M_{P5} e M_{P7}	$2.6\mu m$	$0.35\mu m$
M_{P4} e M_{P6}	$2.6\mu m$	$0.35\mu m$

Tabella 2.4: Dimensionamento dei MOSFET

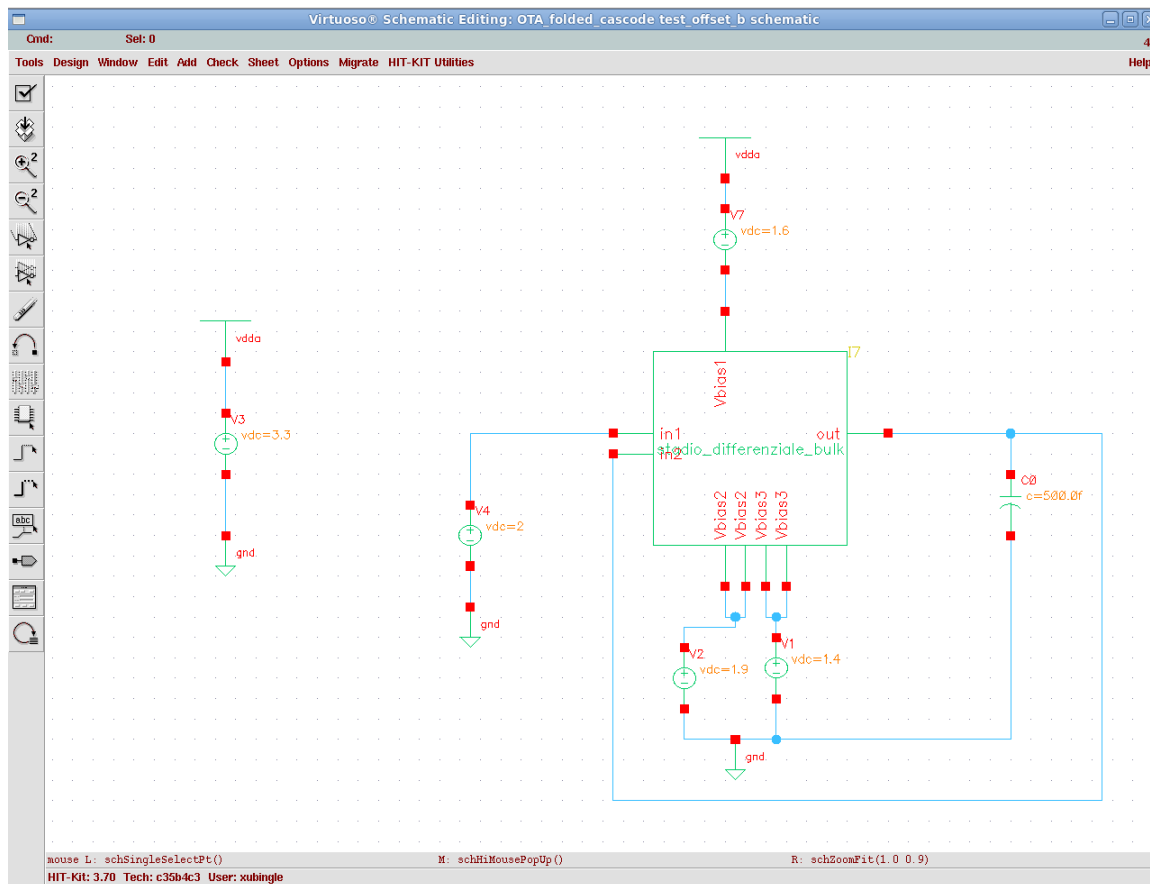


Figura 2.7: Schematico per il calcolo della tensione di offset

2.3 Tensione di offset

Per testare la tensione di offset si può usare una connessione a inseguitore di tensione (fig.2.7): poniamo il terminale in1 alla corrente di polarizzazione appropriata (2V per questo specifico caso) e l'altro terminale connesso all'output. Con una simulazione DC dovrebbe risultare una tensione di uscita coincidente a quella di ingresso. A questo punto possiamo usare la simulazione montecarlo scegliendo come opzione di variabilità mismatch. Il risultato è rappresentato in fig. 2.8, poichè la tensione di offset è definita come la deviazione standard della differenza della tensione di ingresso, possiamo affermare che $|V_{OS}| < 7.68mV$

2.4 Slew Rate e larghezza di banda a piena potenza

Mettiamo un generatore di onde quadre all'ingresso dello stadio differenziale e colleghiamo il solito generatore dc di 2V tra input2 e massa. Impostiamo i dati del generatore come

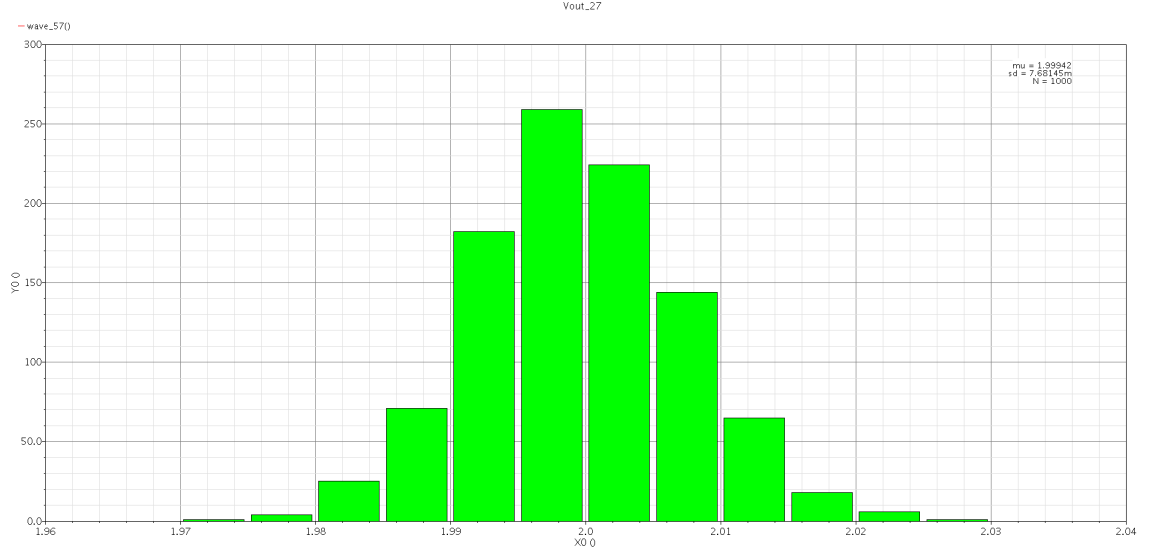


Figura 2.8: Analisi montecarlo

mostrato in tabella 2.5. Lo slew rate è definito come

$$SR = \left. \frac{dv_o}{dt} \right|_{max}$$

Poichè in regime di slew rate le correnti che caricano le capacità parassite sono costanti, per calcolarne il valore massimo dobbiamo limitarci alla parte iniziale del fronte di salita e quello di discesa della V_{out} , dove il grafico presenta una pendenza rettilinea (fig. 2.9). Con l'aiuto dei marker, che indicano la variazione di tempo e la variazione di tensione negli intervalli indicati, possiamo determinare che lo slew rate in salita è $0.15 \frac{V}{\mu s}$ mentre in discesa vale $0.16 \frac{V}{\mu s}$. Ovviamente teniamo il valore più restrittivo. La larghezza di banda a piena potenza invece è definita come:

$$f_M \leq \frac{SR}{2\pi V_{FS}}$$

dove

$$V_{FS} = V_{MAX} - \frac{V_{MAX} + V_{MIN}}{2} = 1.539 - \frac{1.539 + 1.288}{2} = 0.125V$$

quindi

$$f_M \leq 191.08 KHz$$

.

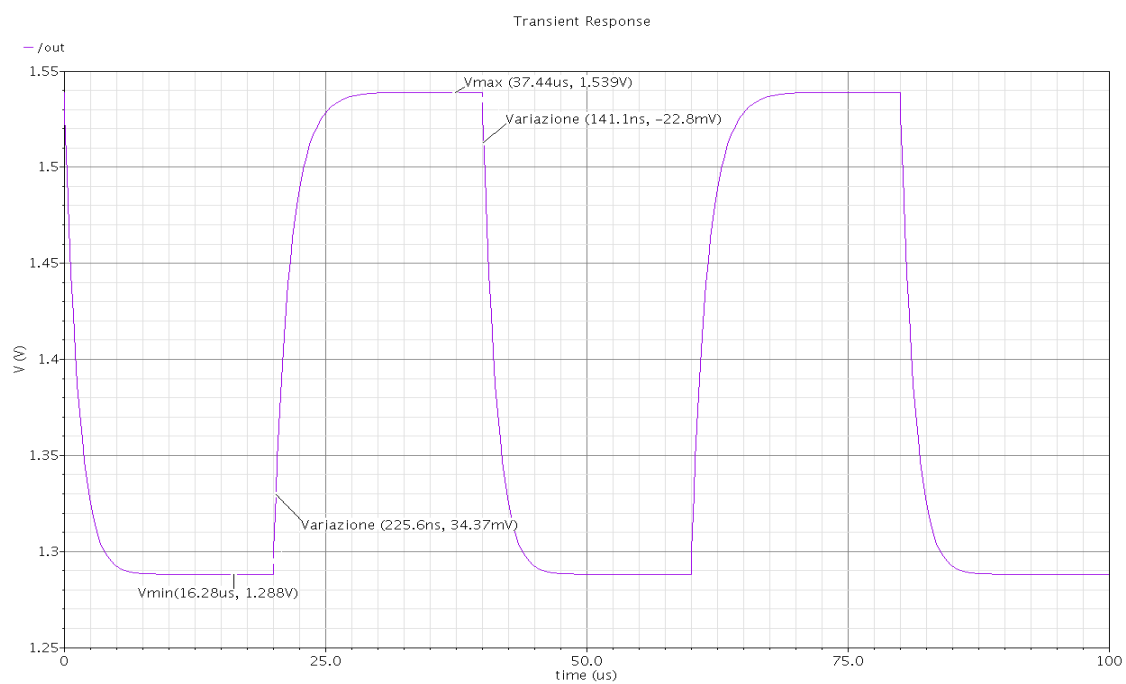


Figura 2.9: Risposta all'onda quadra di tabella 2.5

v1	$120\mu V$
v2	$-120\mu V$
rise time	1ns
fall time	1ns
pulse width	$20\mu s$
period	$40\mu s$

Tabella 2.5: Dati del generatore di onde quadre

Capitolo 3

Come migliorare il circuito

3.1 Lunghezza di canale e tensioni di overdrive

La scelta dei vari parametri è stata in gran parte spiegata nel Capitolo 2 nel paragrafo dedicato alla determinazione delle dimensioni dei MOSFET con calcoli manuali. Tuttavia alcune scelte sono state prese arbitrariamente senza un'accurata analisi. Il parametro L dei transistor di polarizzazione ad esempio è stato fissato al valore $0.7\mu m$ (tabella 1.4) per aumentare r_{o12} senza considerare che:

- la resistenza r_{o12} è in parallelo a r_{o2} e quindi aumentarne il valore non è detto che aumenti la resistenza di uscita complessiva $R_{out}|_{M2A}$
- aumentare L diminuisce la corrente che scorre in M_{12} , ma questo transistor ha il compito di polarizzare lo specchio di corrente drenando la corrente dello stadio differenziale. Significa che dobbiamo aumentare la larghezza del MOSFET oppure la tensione di overdrive

La soluzione adottata è stata quella di impostare un'alta tensione di overdrive in quanto su di essa non esistono vincoli dati dalle specifiche. Questo però ha degradato lo swing di uscita del nostro amplificatore, una figura di merito molto importante che contraddistingue il folded cascode da altre tipologie di OTA. Nei prossimi paragrafi verrà precisato il significato di swing di uscita e verrà presentato un circuito alternativo.

3.2 Definizione di swing del nodo di uscita

Lo swing di uscita è definito come il range di valori della tensione di uscita $V_o = V_O + v_o$ per cui tutti i transistor operano in regione di saturazione. Abbiamo chiaramente visto, dai dati riportati nelle tabelle 2.2 e 2.3 e nei grafici corrispondenti, che quando i MOSFET non sono più in saturazione il guadagno cala; quindi se prendiamo ad esempio una sinusoide con ampiezza elevata che produce in uscita un segnale con uno swing più alto di quello dell'amplificatore, i valori di tensione che eccedono lo swing di uscita vengono amplificati meno degli altri valori perchè spingono uno o più transistor nella zona a triodo. Il risultato è una distorsione della sinusoide in uscita.

3.3 Swing di un amplificatore Folded Cascode

Analizzando lo specchio di corrente dell'OTA di fig.1.3 si può affermare che la tensione drain-source di M_4 per la LKT è

$$V_{DS4} = V_{GS3} + V_{GS3A} - V_{GS4A} = V_{OV3} + V_{T3} + V_{OV3A} + V_{T3A} - V_{OV4A} - V_{T4A}, \quad (3.1)$$

supponendo le tensioni di overdrive tutte uguali e trascurando l'effetto body abbiamo

$$V_{DS4} = V_{OV} + V_T$$

Affinchè i MOSFET siano in saturazione bisogna soddisfare

$$V_{DS4A} < V_{GS4A} - V_{T4A} \quad (3.2)$$

e quindi

$$V_{DS4A} = V_{OUT} - V_{D4} < V_{OV}$$

$$V_{OUT} < V_{D4} + V_{OV}$$

$$V_{D4} = V_{DD} + V_{OV} + V_T$$

$$V_{OUT} < V_{DD} + 2V_{OV} + V_T$$

da cui

$$V_{OUT_{MAX}} = V_{DD} - |V_T| - |2V_{OV}| \quad (3.3)$$

Per quanto riguarda l'estremo inferiore, ammettendo che entrambi i transistor M_{12} e M_{2A} siano sul limite della regione di saturazione, le due V_{DS} sono circa uguali alle tensioni di overdrive dei rispettivi transistor e quindi

$$V_{OUT_{MIN}} = 2V_{OV} \quad (3.4)$$

3.4 Modifiche al circuito

L'obiettivo adesso è quello di ridimensionare il circuito con $L = 0.35\mu m$ per tutti i transistor e tensioni di overdrive pari a $0.2V$ per tutti i MOSFET eccetto M_{P5} ; lasciamo invariata V_{BIAS1} perchè ci consente di pilotare più corrente con dimensioni più piccole, ciò non crea problemi in quanto non fa parte dei MOSFET di uscita. Si tratta di ricominciare dai calcoli manuali, utilizzando argomentazioni analoghe a quelle spiegate nel capitolo 2; passando alla simulazione circuitale dobbiamo ricalcolare le correnti di polarizzazione (tabella 3.2) e infine dimensionare nuovamente il circuito trovando i risultati di tabella 3.1.¹ La differenza è evidente, avere abbassato le tensioni di overdrive ci ha richiesto un aumento significativo delle dimensioni dei transistor per mantenere le specifiche richieste.

¹Per evitare di appesantire l'elaborato sono stati omessi i passaggi intermedi del dimensionamento ed è stata fornita direttamente la soluzione finale.

	W μm	$I_d \mu A$	$g_m \mu S$	V_{gs} V	V_t V	V_{ds} V
Mp3 - M5	12.1 μm	132 μA	137.2 μS	-1.6 V	-0.726 V	-0.148 V
Mp1 - M1	15.2 μm	66.31 μA	477.5 μS	-0.952 V	-0.705 V	-2.288 V
Mn1 - M11	6.8 μm	71.72 μA	520.9 μS	0.8 V	0.566 V	0.864 V
Mn3 - M2A	2 μm	5.412 μA	74.16 μS	0.835 V	0.734 V	0.666 V
Mp5 - M4A	5.9 μm	5.412 μA	74 μS	-0.955 V	-0.856 V	-0.955 V
Mp4 - M4	5.9 μm	5.412 μA	73.43 μS	-0.813 V	-0.711 V	-0.813 V

Tabella 3.1: Secondo dimensionamento proposto.

V_{BIAS1}	1.7V
V_{BIAS2}	1.7V
V_{BIAS3}	0.8V
V_{IN}	2.2

Tabella 3.2: Tensioni di polarizzazione per il nuovo circuito.

3.5 Verifica delle prestazioni

Ora dobbiamo verificare se questo nuovo circuito funziona effettivamente meglio del precedente. Per prima cosa verifichiamo attraverso i diagrammi di bode (fig. 3.1) che le specifiche della tabella 1.1 siano soddisfatte. I risultati sono buoni e simili ai precedenti:

- $A_v = 60.54dB$
- $GBW = 106.5MHz$
- margine di fase = 69.7°
- $P_{stat} = 473.35\mu W$

Ora calcoliamo lo swing di uscita previsto per i due circuiti:

Circuito 1 Utilizzando la formula 3.3 e 3.4 troviamo

- $V_{OUT_{MAX}} = 2.26V$
- $V_{OUT_{MIN}} = 0.96V$

Circuito 2 Analogamente per questo circuito

- $V_{OUT_{MAX}} = 2.38V$
- $V_{OUT_{MIN}} = 0.34V$

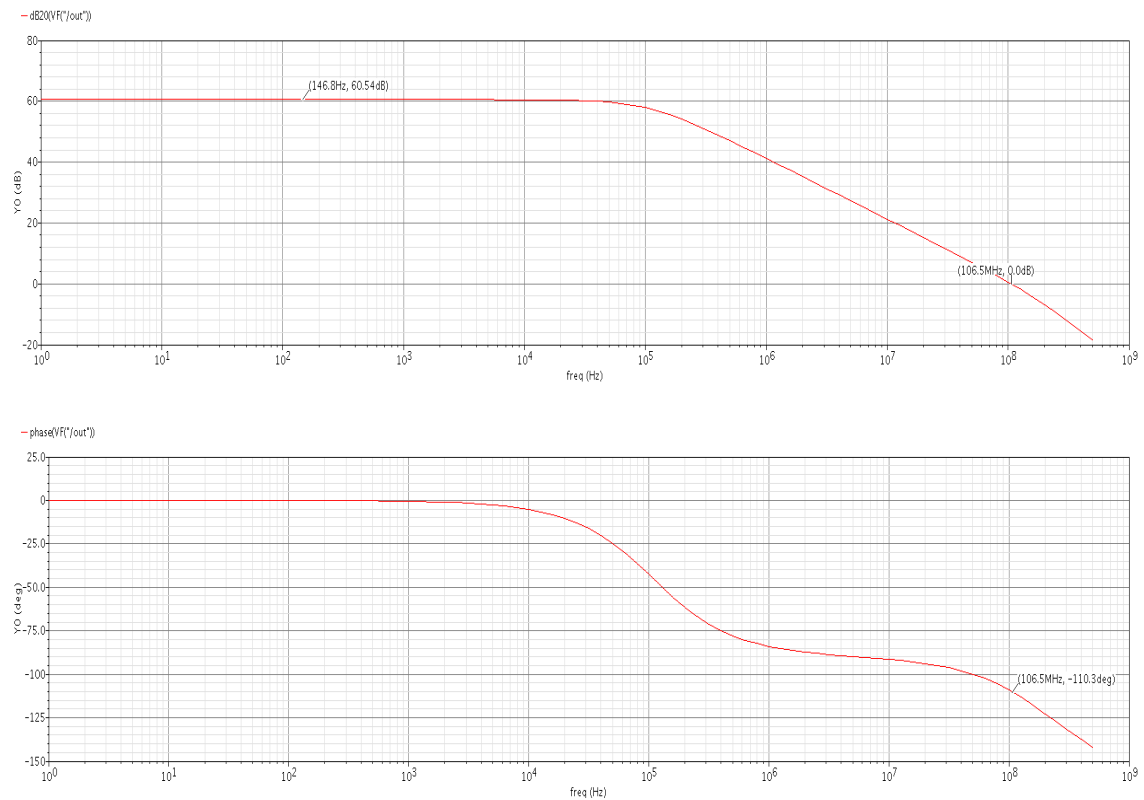


Figura 3.1: Diagrammi di bode del nuovo circuito. $A_v = 60.54\text{dB}$, $\text{GBW} = 106.5\text{MHz}$ e $m_\phi = 69.7^\circ$

3.6 Confronto delle risposte a ingressi sinusoidali

A questo punto possiamo verificare quanto spiegato finora nei paragrafi precedenti simulando le risposte delle due versioni di OTA a sinusoidi di varie ampiezze. La frequenza di oscillazione è costante in tutte le prove ed è stata fissata a 30KHz. Per il primo circuito vediamo che con un ingresso sinusoidale di ampiezza $50\mu A$ la sinusoide di uscita non è distorta. Con ampiezza di $250\mu V$ vediamo già segni di distorsione, a $500\mu V$ la distorsione è pesante (fig.3.2). Con il nuovo circuito invece riusciamo ad ottenere ancora una sinusoide a $500\mu V$, ma a $750\mu V$ l'uscita è già distorta (fig.3.4). In particolare il minimo satura a 1V il che è piuttosto strano se pensiamo che $V_{OUT_{MIN}}$ dovrebbe essere circa 0.33V! La spiegazione è che la formula 3.4 vale quando la tensione V_{DS} è prossima alla tensione di overdrive. Nel nostro caso dobbiamo usare la formula

$$V_{OUT_{MIN}} = V_{DS} + V_{OV2A} = 0.87 - 0.1 = 0.97V$$

che è in perfetto accordo con i dati sperimentali.

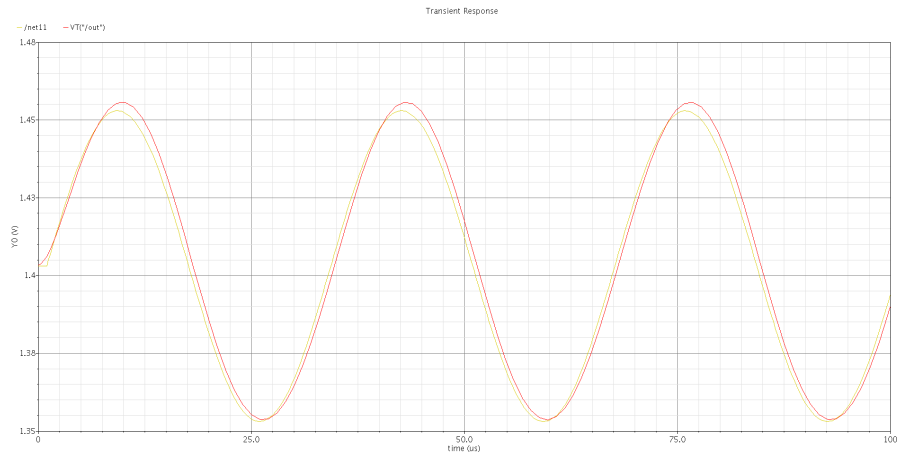
3.7 Nuovo circuito con maggiore swing di uscita

Abbiamo capito nel precedente paragrafo che non basta impostare una bassa tensione di overdrive per ottenere uno swing di uscita più ampio. Bisogna verificare che la tensione source-drain del MOSFET M_{N1} sia poco superiore alla sua tensione di overdrive. Dobbiamo cercare di ridimensionare di nuovo il circuito con questo obiettivo. Innanzitutto impostiamo $V_{BIAS2} = 1V$ e poi ragioniamo come in precedenza aggiungendo il fatto di ingrandire un po' i MOSFET M_{N0} e M_{N1} . Un possibile dimensionamento è proposto nella tabella seguente:

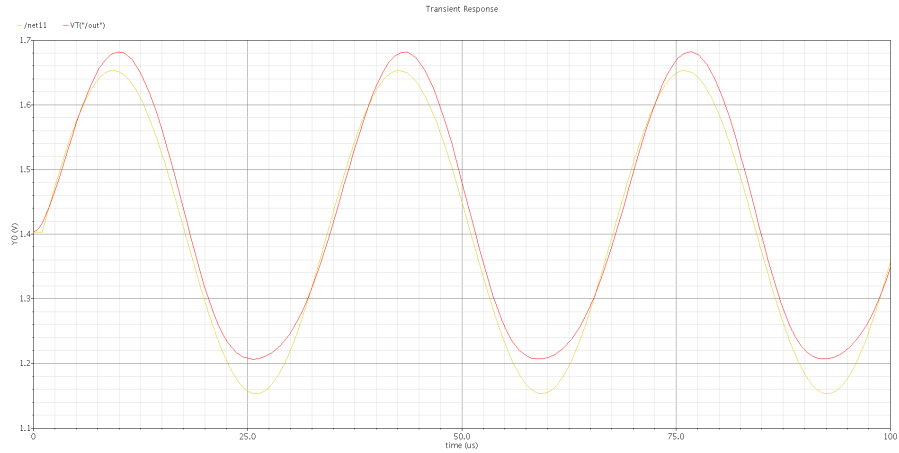
	W	I_d	g_m	V_{gs}	V_t	V_{ds}
Mp3 - M5	$14.5 \mu m$	$160.7 \mu A$	$166.3 \mu S$	-1.6 V	-0.725 V	-0.149 V
Mp1 - M1	$16.5 \mu m$	$80.36 \mu A$	$555 \mu S$	-0.95 V	-0.692 V	-2.832 V
Mn1 - M11	$8.8 \mu m$	$84.34 \mu A$	$616.3 \mu S$	0.8 V	0.567 V	0.316 V
Mn3 - M2A	$3 \mu m$	$3.98 \mu A$	$69.59 \mu S$	0.681 V	0.632 V	1.2 V
Mp5 - M4A	$4 \mu m$	$3.98 \mu A$	$52.83 \mu S$	-0.96 V	-0.854 V	-0.96 V
Mp4 - M4	$4 \mu m$	$3.98 \mu A$	$52.4 \mu S$	-0.818 V	-0.709 V	-0.818 V

Tabella 3.3: Punti operativi del circuito modificato

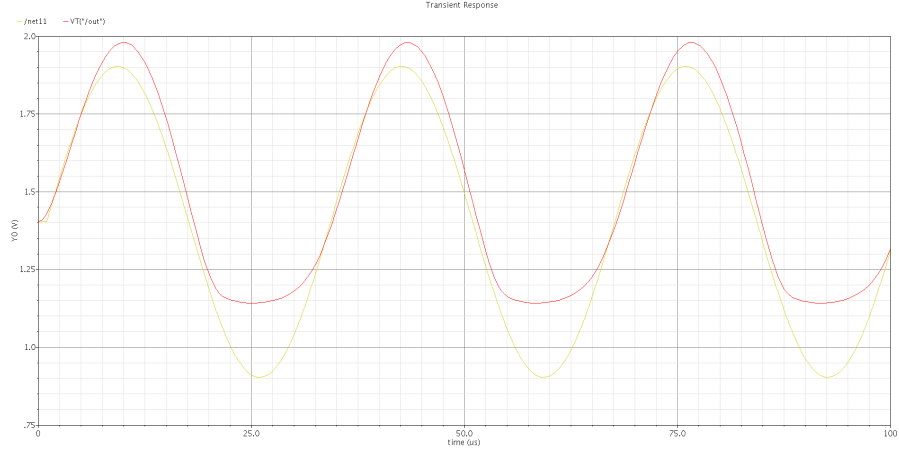
Se analizziamo ora i risultati sperimentali troviamo che questo nuovo circuito risponde bene a una sinusoide di ampiezze maggiori del circuito precedente fino ad arrivare a $0.9mV$; la sinusoide da 1mV invece viene distorta. Facendo un rapido conto questa volta $V_{OUT_{MIN}} = 0.37V$. Essendo il punto di polarizzazione pari a 1.53V, l'ampiezza massima verso massa consentita sarebbe poco più di un Volt; e quindi giustamente nell'ultimo grafico la distorsione è provocata dal limite superiore della tensione del nodo di uscita. Di seguito inseriamo tutti i grafici delle risposte alle sinusoidi dei tre circuiti appena commentati.



(a)



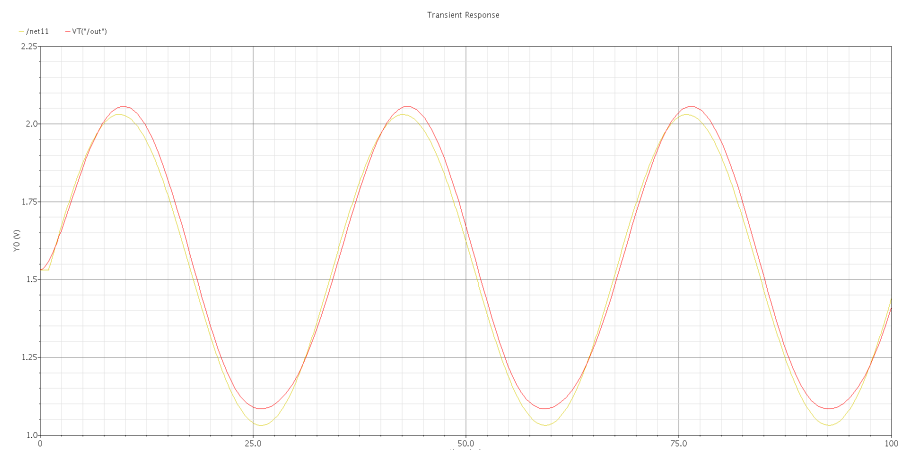
(b)



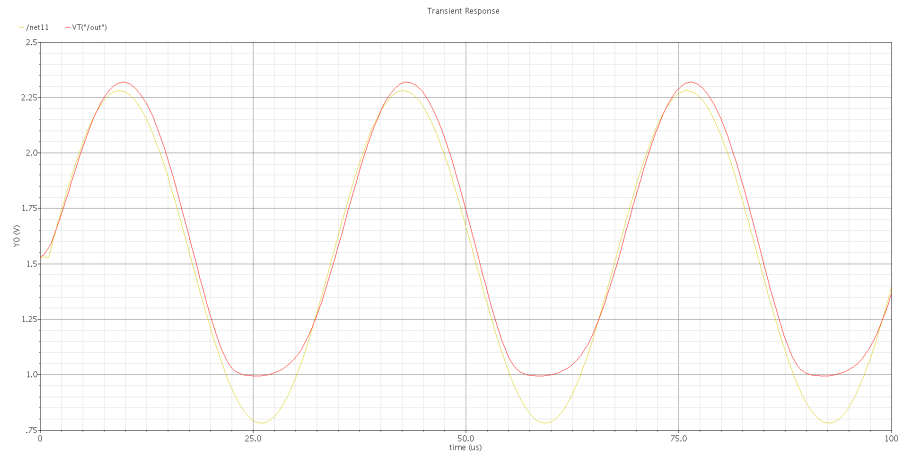
(c)

Figura 3.2: Primo circuito. Risposte a sinusoidi di ingresso di ampiezza crescente: $50\mu V$, $250\mu V$ e $500\mu V$

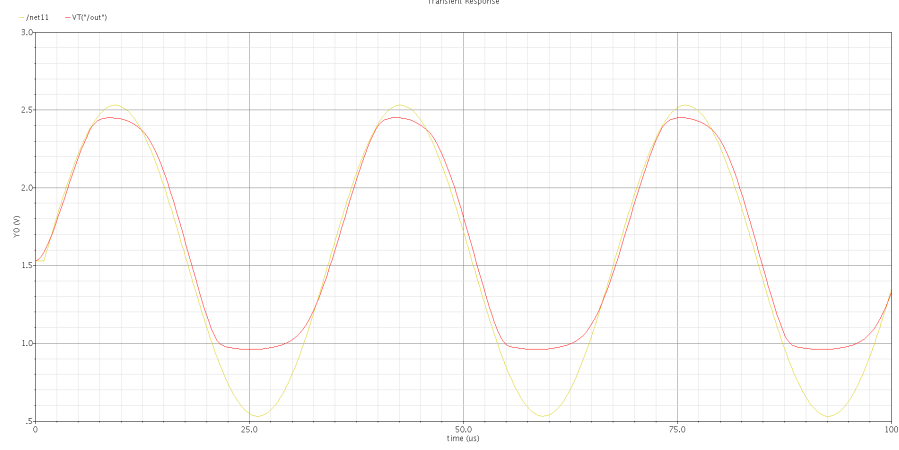
(a) nessuna distorsione (b) bassa distorsione (c) alta distorsione



(a)

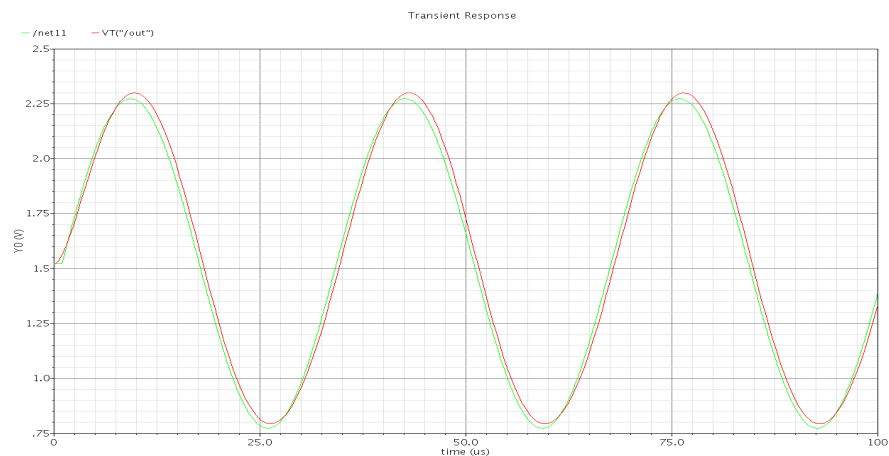


(b)

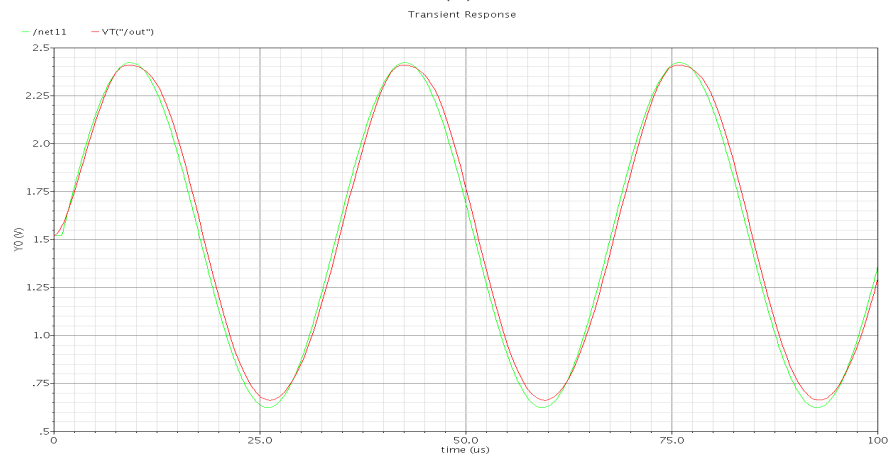


(c)

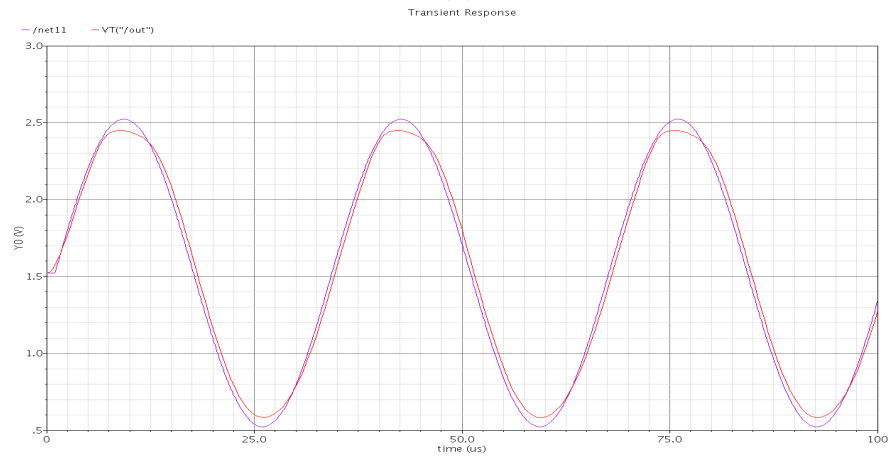
Figura 3.3: Secondo circuito. Risposte a sinusoidi di ingresso di ampiezza crescente: $500\mu V$, $750\mu V$ e $1mV$
 (a) nessuna distorsione (b) bassa distorsione (c) alta distorsione



(a)



(b)



(c)

Figura 3.4: Terzo circuito. Risposte a sinusoidi di ingresso di ampiezza crescente: $750\mu V$, $900\mu V$, e $1mV$
 (a) e (b) nessuna distorsione (c) bassa distorsione

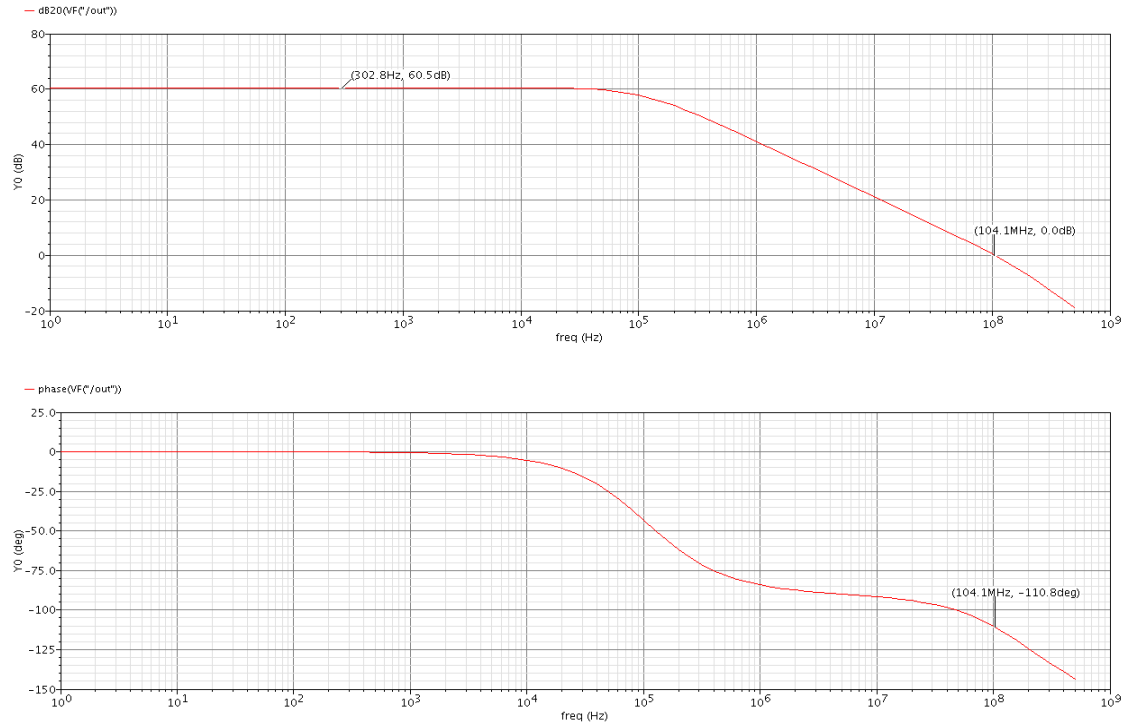


Figura 3.5: Diagrammi di bode del terzo circuito. $A_v = 60.5dB$, $GBW = 104.1MHz$ e $m_\phi = 69.2^\circ$

Infine inseriamo i diagrammi di bode per dimostrare che quest'ultimo circuito oltre ad avere uno swing di uscita maggiore, rispetta tutte le caratteristiche richieste dalle specifiche, inoltre aggiungiamo i risultati delle simulazioni di tensione di offset, slew rate e larghezza di banda a piena potenza (fig.3.6 e 3.7).

- $A_v = 60.5dB$
- $GBW = 104.1MHz$
- $m_\phi = 69.2^\circ$
- $P_{stat} = 556.64\mu W$
- Swing di uscita = 1.8V
- $|V_{OS}| < 8.25mV$
- $SR = 1.14 \frac{V}{\mu s}$
- $f_M = 204.77KHz$

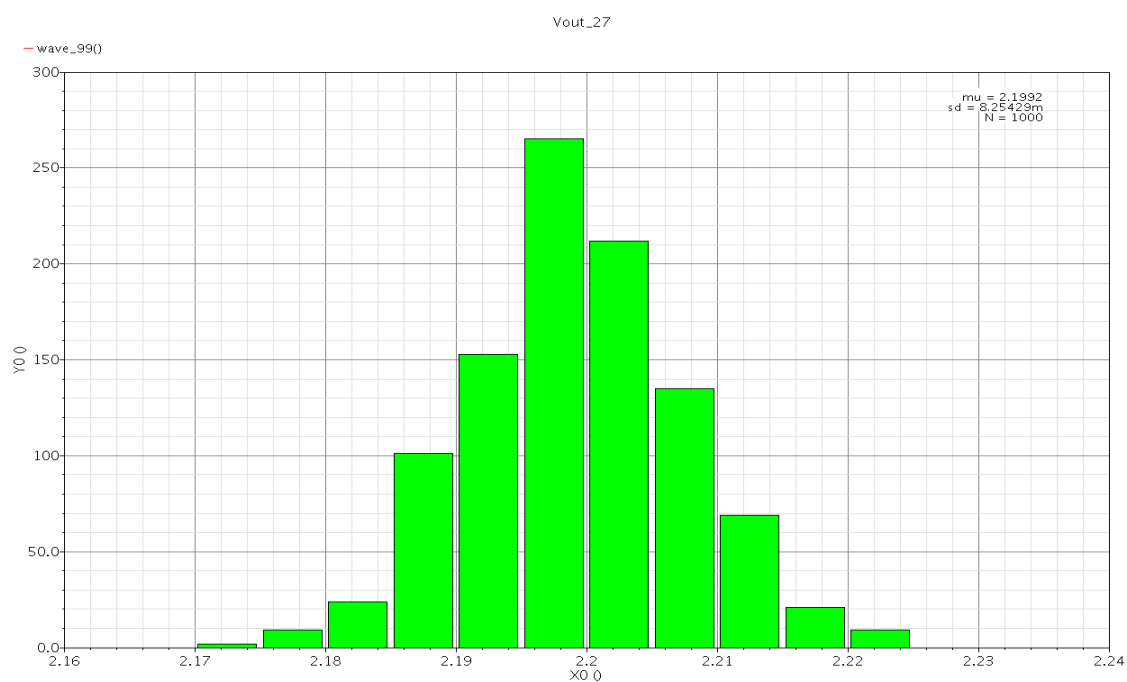


Figura 3.6: Simulazione montecarlo della tensione di offset del terzo circuito.

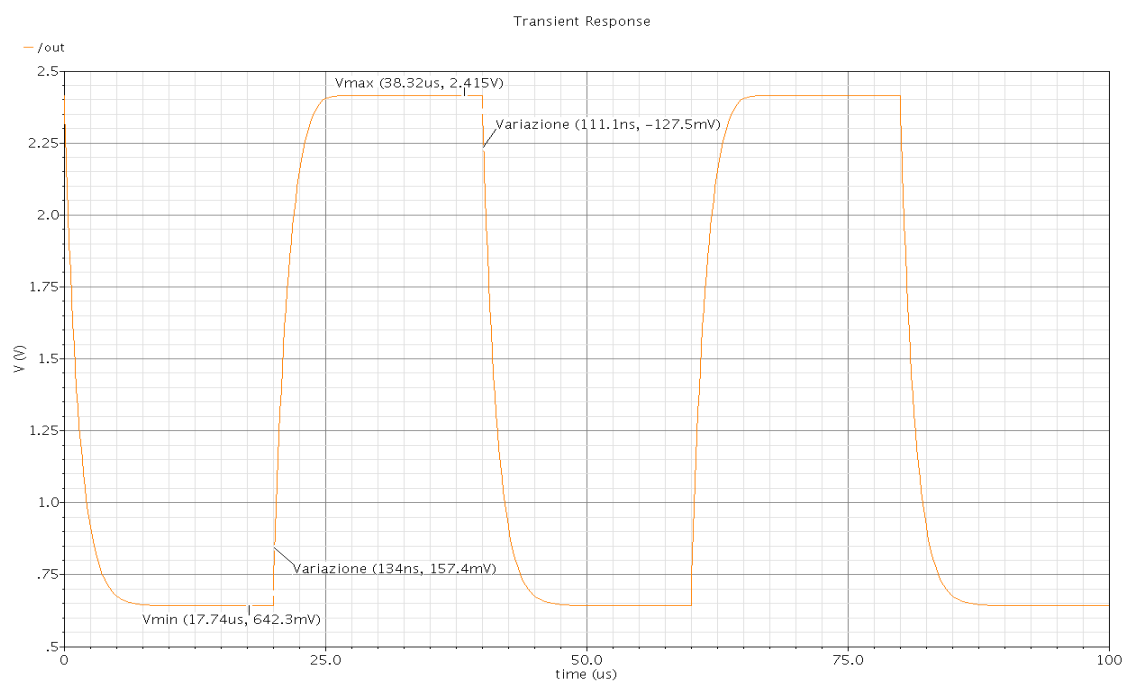


Figura 3.7: Risposta ad un onda quadra di ampiezza pari a 0.9mV.

Capitolo 4

Conclusioni

All'inizio del progetto ci siamo concentrati sulle specifiche e abbiamo trascurato lo swing di uscita, alcune scelte fatte hanno reso l'amplificatore molto scarso da questo punto di vista. È stato però utile lavorare in un primo tempo senza considerare tale figura di merito, sarebbe stato piuttosto complicato cercare di capire fin dal principio come ottenere un buono swing di uscita insieme alle altre specifiche. Lavorare per gradi ha consentito di studiare in simulazione il comportamento del circuito senza troppi vincoli e di familiarizzare con le conseguenze che le variazioni delle dimensioni dei transistor comportano nel complesso del circuito. Anche se è stato necessario ridimensionare nuovamente il circuito per migliorare lo swing di uscita, è stato molto più facile ottenere la soluzione finale avendo fatto esperienza nel dimensionare il primo circuito; ecco perchè nella costruzione del secondo e del terzo circuito sono stati omessi i passaggi intermedi ed è stata presentata solo la soluzione finale. Inoltre è fondamentale imparare ad usare le formule sapendo che sono approssimate, sono linee guide che indicano la direzione in cui muoversi ma non predicono quasi mai il risultato perfettamente; il divario tra i calcoli manuali e la simulazione è evidente anche in circuiti semplici come quello affrontato in questa tesina. Infine, tra le soluzioni trovate, l'ultimo circuito (riportato in tabella 3.3) è quello più corretto: il primo circuito, nonostante verifichi le specifiche date, ha uno swing troppo basso ed è poco utile un OTA con tali caratteristiche, soprattutto perchè la tecnica utilizzata per l'amplificatore è il folded cascode la cui peculiarità è proprio quella di poter ottenere un alto swing di uscita¹; qualora fossero sufficienti swing di uscita inferiori è consigliabile utilizzare altre tipologie di OTA, ad esempio il telescopic cascode.

¹Lo swing del nostro circuito può essere ulteriormente aumentato utilizzando specchi di corrente wide swing.

Bibliografia

- [1] Richard C. Jaeger, Travis N. Blalock, Microelettronica, terza edizione, McGraw-Hill, 2009
- [2] Jan M. Rabaey, Anantha Chandrakasan, Bora Nikolić, Circuiti integrati digitali, seconda edizione italiana a cura di Andrea Cester e Andrea Gerosa, Pearson Education Italia, 2005
- [3] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, Analysis and design of analog integrated circuits, fourth edition, John Wiley & Sons, INC., 2001
- [4] Paul R. Gray, Paul J. Hurst, Stephen H. Lewis, Robert G. Meyer, Analysis and design of analog integrated circuits, fifth edition, John Wiley & Sons, INC., 2010
- [5] http://www.dei.unipd.it/ricerca/microel/did/labcad/opus/cadence_tut.html, consultato in data 6/09/2011
- [6] <http://www.electroyou.it/rusty/wiki/progetto-di-un-amplificatore-folded-cascode-in-tecnologia-cmos-0-35-um>, consultato in data 6/09/2011